

Master1 - SEM

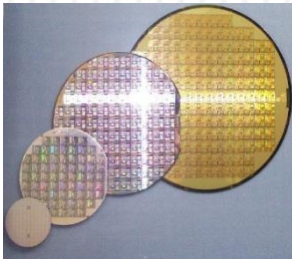
Processeurs embarqués

Cours 1

Conception de CI

Année 2022-2023

Pr. R. BOUDOUR



Plan

2

- ❑ Rappel préfixes métriques
- ❑ Circuits intégrés (CI)
- ❑ Technique de conception des CI
- ❑ Coût des CI
- ❑ Sociétés de semi conducteurs
- ❑ Autres puces
- ❑ Récréation

Rappel préfixes métriques

3

- ☐ Multiples
- ☐ Sous multiples

Rappel préfixes multiples

4

Péfixe	Symbole	Valeur Approx.	Valeur puissance 10	Valeur
<i>Kilo</i>	<i>K</i>	2^{10}	10^3	1 000
<i>Méga</i>	<i>M</i>	2^{20}	10^6	1 000 000
<i>Giga</i>	<i>G</i>	2^{30}	10^9	1 000 000 000
<i>Téra</i>	<i>T</i>	2^{40}	10^{12}	1 000 000 000 000
<i>Péta</i>	<i>P</i>	2^{50}	10^{15}	1 000 000 000 000 000
<i>Exa</i>	<i>E</i>	2^{60}	10^{18}	1 000 000 000 000 000 000
<i>Zetta</i>	<i>Z</i>	2^{70}	10^{21}	1 000 000 000 000 000 000 000
<i>Yotta</i>	<i>Y</i>	2^{80}	10^{24}	1 000 000 000 000 000 000 000 000

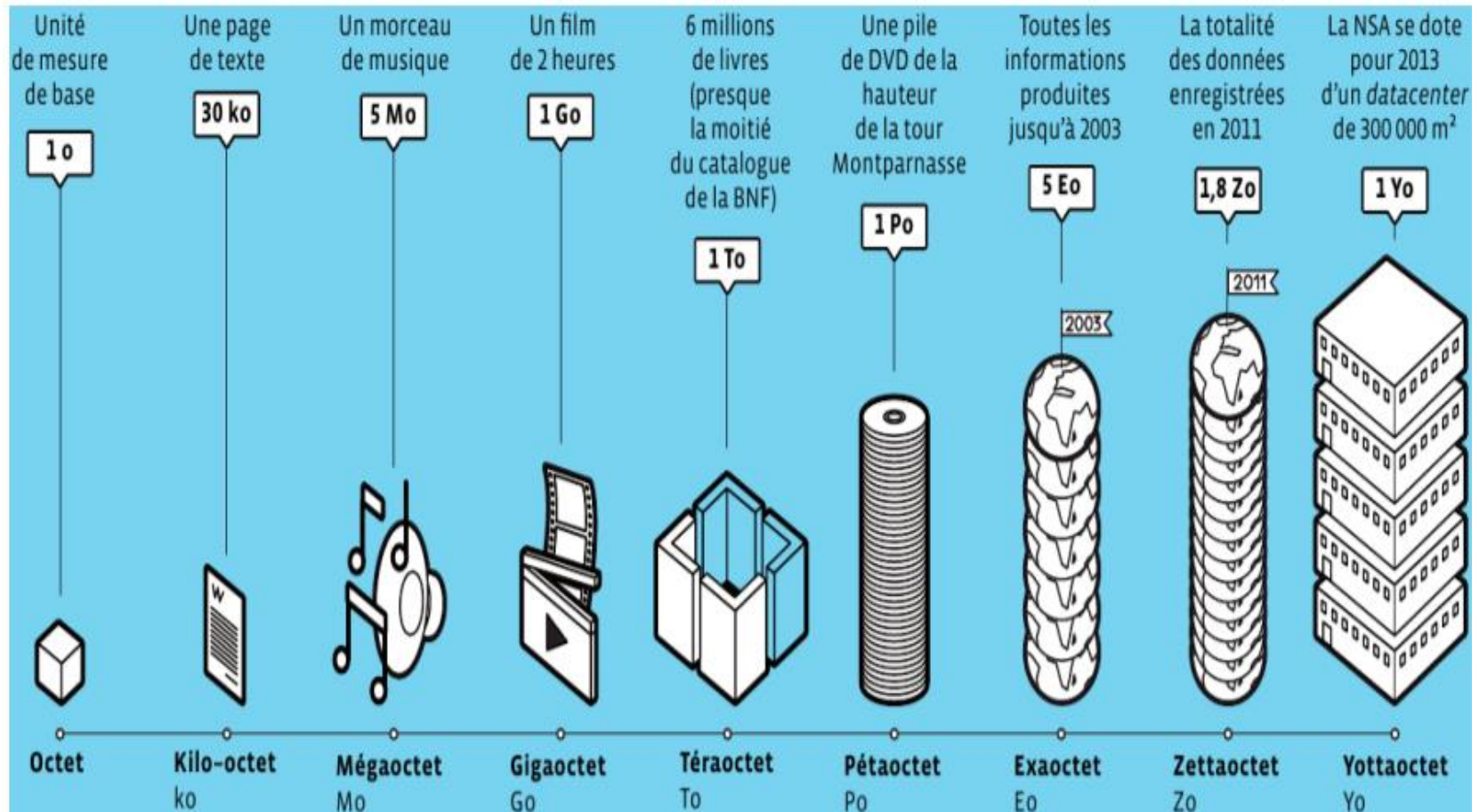
Rappel préfixes sous-multiples

5

Péfixe	symbole	valeur	Valeur
<i>milli</i>	<i>m</i>	10^{-3}	0.001
<i>micro</i>	<i>mu</i>	10^{-6}	0.000001
<i>nano</i>	<i>n</i>	10^{-9}	0.000000001
<i>pico</i>	<i>p</i>	10^{-12}	0.000000000001
<i>femto</i>	<i>f</i>	10^{-15}	0.000000000000001
<i>atto</i>	<i>a</i>	10^{-18}	0.000000000000000001
<i>zepto</i>	<i>z</i>	10^{-21}	0.000000000000000000001
<i>yocto</i>	<i>y</i>	10^{-24}	0.000000000000000000000001

Exemples

6



Exemples

7

☐ Convertir :

☐ $1.5 \text{ GHz} = ? \text{ Hz}$

☐ $1500 \text{ KHz} = ? \text{ GHz}$

☐ $10 \text{ To} = ? \text{ b}$

☐ $8192 \text{ Eb} = ? \text{ Po}$

☐ $1 \mu\text{m} = ? \text{ nm}$

☐ $0.5 \text{ as} = ? \text{ fs}$

☐ $1 \text{ pm} = ? \text{ ym}$

☐ $0.5 \text{ zm} = ? \text{ mm}$

Solutionnaire

8

$$\begin{aligned} 1500 \text{ KHz} &= 1500 \times 10^{-6} \\ &= 15 \times 10^{-4} \text{ GHz} \end{aligned}$$

$$\begin{aligned} 10 \text{ To} &= 10 \times 2^{40} \times 8 \text{ b} \\ &= 10 \times 2^{43} \text{ b} \end{aligned}$$

$$\begin{aligned} 8192 \text{ Eb} &= 8192 \times 2^{10} / 8 \text{ Po} \\ &= 2^{20} \text{ Po} \end{aligned}$$

$$1 \text{ } \mu\text{m} = 10^3 \text{ nm}$$

$$1 \text{ pm} = 10^{12} \text{ ym}$$

$$0.5 \text{ as} = 0.5 \times 10^{-3} \text{ fs}$$

$$0.5 \text{ zm} = 0.5 \times 10^{-18} \text{ mm}$$

Circuits intégrés (CI)

9

- ❑ **Composant de base : Transistor**
- ❑ **CI**
- ❑ **Utilisations des CI numériques**
- ❑ **Classification de CI**
- ❑ **Autres CI**
- ❑ **Lois empiriques**

Composant de base : Transistor

10

- En 1948, John Bardeen, Walter Brattain et William Shockley, trois physiciens des laboratoires Bell (Etats-Unis) réalisent le premier **transistor**. Fiabilité, faible encombrement, consommation réduite : la voie de la miniaturisation est ouverte. Cette découverte majeure leur vaudra le prix Nobel de physique en 1956.

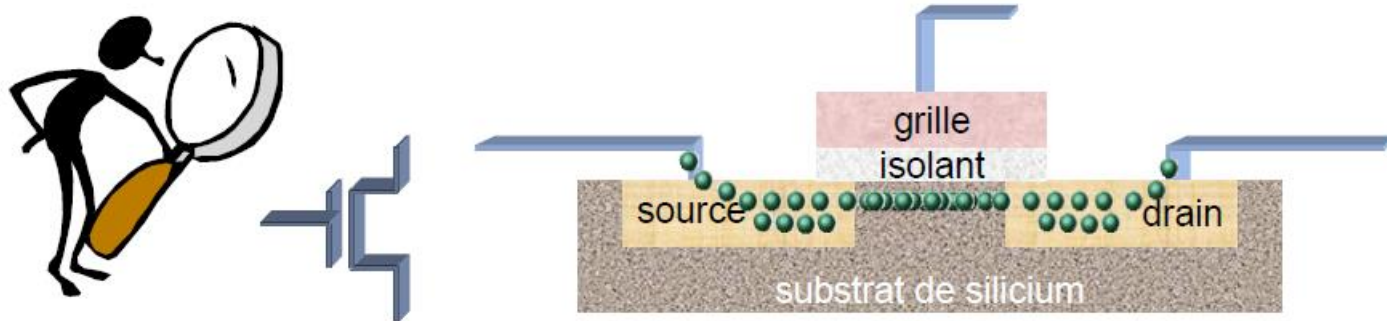
- **Le transistor**, est le composant électronique actif fondamental en électronique utilisé
 - principalement comme interrupteur commandé
 - et pour l'amplification,
 - mais aussi pour stabiliser une tension,
 - moduler un signal
 - ainsi que de nombreuses autres utilisations.



Structure d'un transistor

11

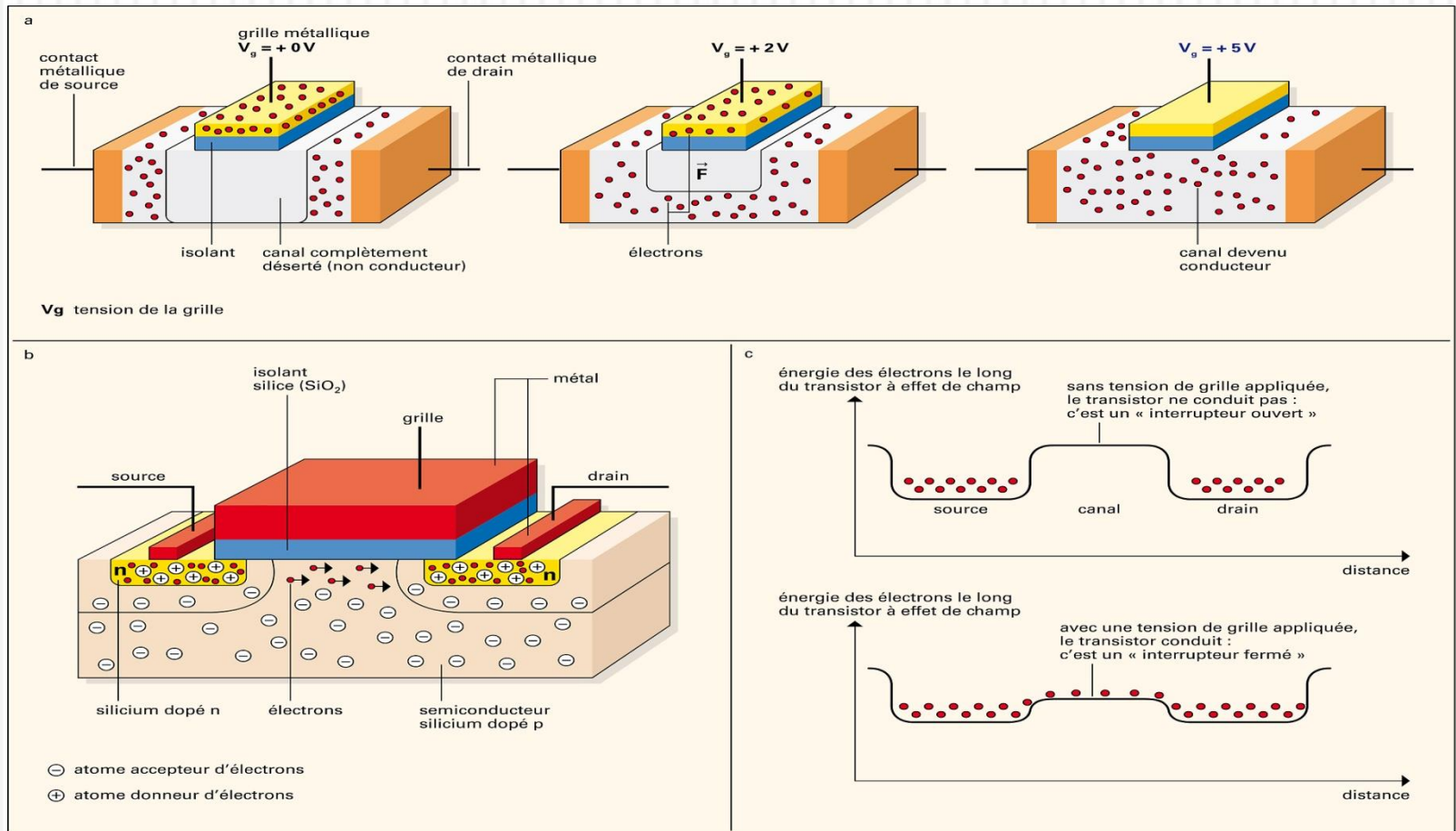
- Le transistor : un robinet à électrons



- Permet de réaliser des fonctions logiques, arithmétiques, ...

Fonctionnement d'un transistor

12



Circuit intégré (CI)

13

- Le **circuit intégré (CI)**, (jack Kilby, 1958) aussi appelé **puce électronique**, est un composant électronique reproduisant une ou plusieurs fonctions électroniques plus ou moins complexes, intégrant souvent plusieurs types de composants électroniques de base dans un volume réduit, rendant le circuit facile à mettre en œuvre.
- La taille d'une pièce de monnaie, la puce électronique est le support du circuit formé par l'intégration de composants microélectroniques. Elle contient principalement des transistors, jusqu'à deux milliards en 2011, contre 42 millions en 2000. Plusieurs étapes de lithographie sont nécessaires pour les réaliser sur les puces, elles-mêmes produites en série sur un unique wafer. Et cela, dans l'environnement ultra-confiné des salles blanches.

Utilisations CI numériques

14

- ❑ **Les CI numériques :**
 - ❑ Les plus simples sont des **portes logiques** (et, ou, non)
 - ❑ Les plus complexes sont les **microprocesseurs**
 - ❑ Les plus denses sont les **mémoires**

Classification de CI

15

Basée sur l'échelle d'intégration (le nombre de portes par boîtier ou de transistors)

On distingue selon le nombre de portes :

- ☐ **SSI** (*small scale integration*) petite : inférieur à 12
- ☐ **MSI** (*medium*) moyenne : 12 à 99
- ☐ **LSI** (*large*) grande : 100 à 9999
- ☐ **VLSI** (*very large*) très grande : 10 000 à 99 999
- ☐ **ULSI** (*ultra large*) ultra grande : 100 000 et plus

Peu importante !

Autres CI

16

On y trouve aussi de nombreux circuits intégrés :

- ❑ **ASIC** pour *Application Specific Integrated Circuit*
- ❑ **FPGA, CPLD** : *Field Programmable Gate Array ;
Complex Programmable Logic Datum*

*Une famille importante de circuits intégrés des composants de
logique programmable*

Lois empiriques

17

□ Loi de Moore

Le nombre de transistors double tous les 18 mois, soit une augmentation en nombre de 60 % par an

Deux autres lois empiriques sont vérifiées depuis plusieurs décennies (en plus de la loi de Moore) :

□ Loi de JOY

La puissance CPU en MIPS double tous les 2 ans.

□ Loi de RUGE

On a besoin d'une bande passante de 0,3 à 1 Mb/s par MIPS.

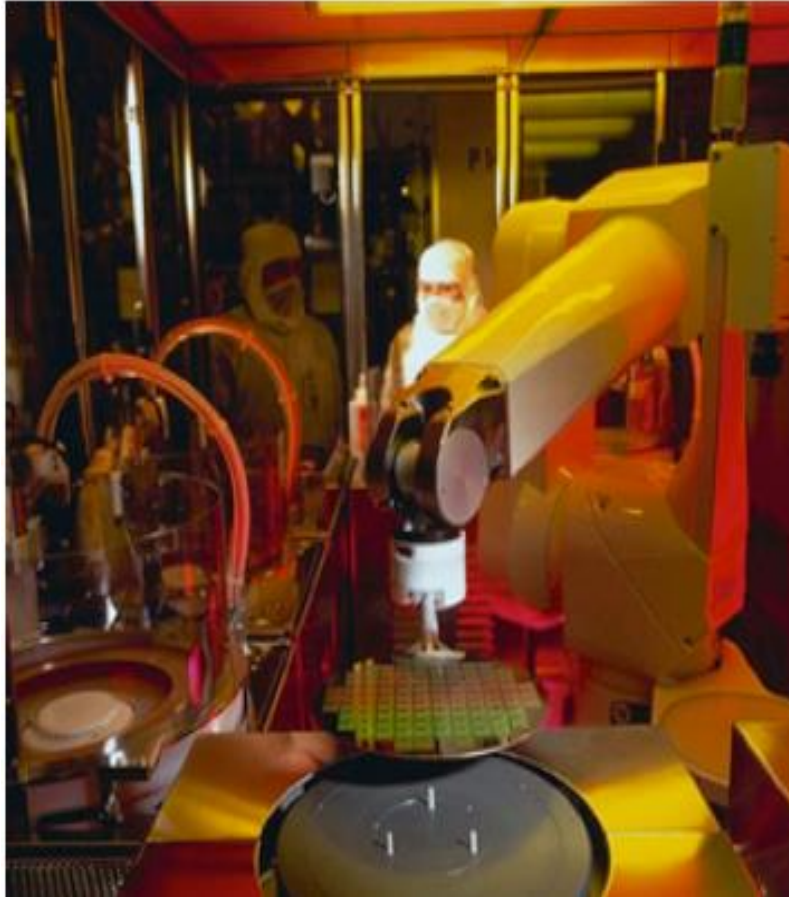
Technique de conception des CI

18

- ❑ Le matériau de base du circuit intégré et le plus utilisé est le silicium,
 - ❑ élément chimique le plus répandu sur terre.
 - ❑ Extrait du sable par réduction, il est cristallisé sous forme de barreaux de 20 ou 30 cm de diamètre,
 - ❑ ensuite sciés en tranches de moins d'un millimètre d'épaisseur qui sont polies jusqu'à obtenir des surfaces lisses.
 - ❑ C'est sur cette tranche que **des centaines de puces sont fabriquées simultanément**, grâce à la répétition ou la combinaison d'opérations élémentaires : traitement thermique, dépôts, photolithographie, gravure et dopage.
 - ❑ Cette fabrication simultanée, qui fait chuter les coûts unitaires, est l'un des atouts majeurs de l'industrie microélectronique/nanoélectronique. Elle explique pourquoi les industriels des microsystèmes/nanosystèmes cherchent à fabriquer leurs produits avec les mêmes technologies.
 - ❑ Mais elle durcit aussi les exigences de production : une erreur de manipulation, quelques secondes en plus ou en moins et ce sont plusieurs centaines de circuits qui finissent à la poubelle,

Salle blanche

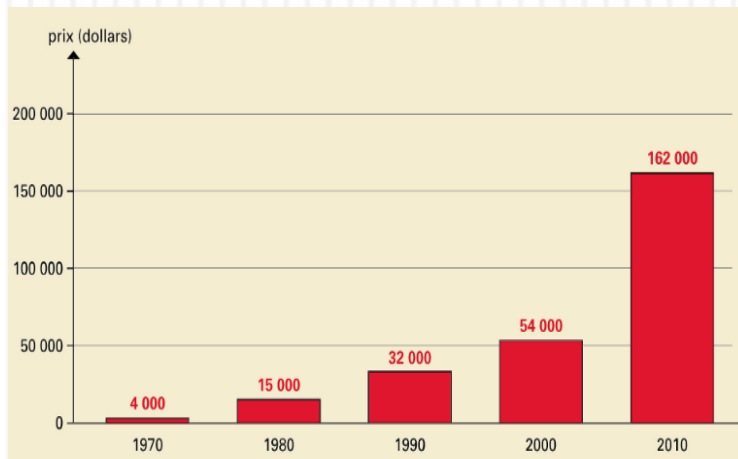
19



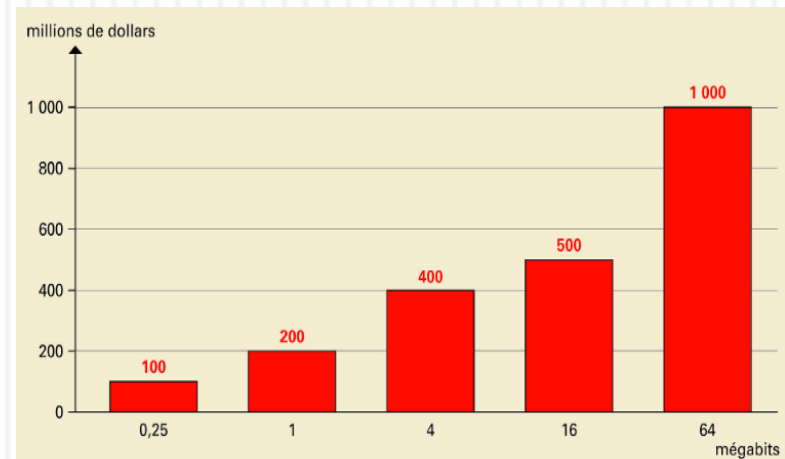
- ❑ Par salle blanche (aussi appelée salle propre), on désigne un espace clos au cœur duquel la concentration en particules est extrêmement limitée.
- ❑ A l'échelle d'une puce, un minuscule grain de poussière représente un rocher qui bouche les chemins creusés pour la circulation des électrons.
- ❑ C'est pourquoi la fabrication a lieu en « salle blanche ».
 - ❑ L'air de la salle
 - ❑ est filtré et entièrement renouvelé 10 fois par minute.
 - ❑ Il contient 100 000 à 1 million de fois moins de poussières que l'air extérieur.
 - ❑ Il est 1000 fois plus propre, en nombre de poussières par mètre cube que les salles d'opération chirurgicales les plus propres
 - ❑ Les opérateurs portent en permanence une combinaison qui les couvre presque des pieds à la tête, et retient les particules organiques et les poussières qu'ils génèrent naturellement.
 - ❑ De plus, de nombreuses opérations de nettoyage des tranches sont menées entre les étapes de fabrication. Au total, elles représentent presque un tiers du temps total de process.

Salle blanche

20



CI : prix au mètre carré d'une salle blanche



CI : coût de développement d'un procédé de fabrication de mémoire dynamique

- ❑ Évolution du prix par mètre carré d'une salle blanche depuis 1970. Ces salles blanches, pièces étanches aménagées pour éliminer le plus de poussières de l'air, sont nécessaires pour la production des composants électroniques.
- ❑ le prix par bit d'une mémoire dynamique a baissé de 33% par an depuis 1970 passant ainsi de 2 centimes de dollars (ou cents) environ en 1970 à quelque 10^{-5} cent au début du 21^{ème} siècle
- ❑ la plupart des produits électroniques grand public subissent une obsolescence rapide (les différentes générations de téléphones cellulaires, par exemple
- ❑ des efforts continus en recherche-développement. De la part des constructeurs

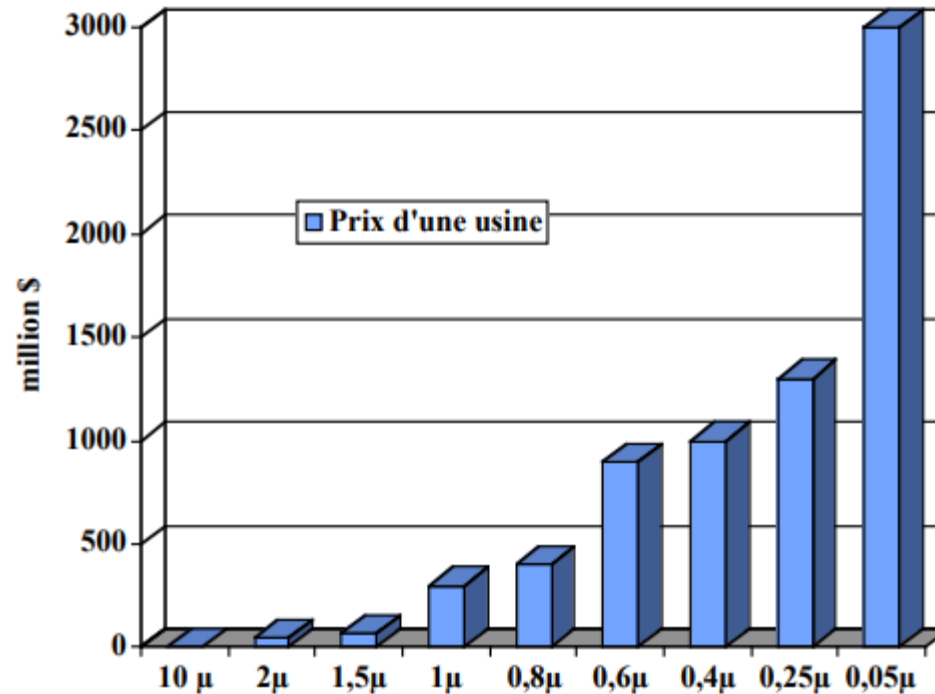
Usines très coûteuses

21

- ❑ Fabriquer un circuit intégré, c'est réaliser sur quelques centimètres carrés de surface et quelques microns d'épaisseur un assemblage de millions de composants interconnectés ; ceci, simultanément, pour des centaines d'exemplaires identiques.
- ❑ **Plus les circuits intégrés se miniaturisent, plus les usines qui les fabriquent coûtent chères.** Une « fab » (unité de production) coûte à peu près le même prix que 300 Airbus A320 ! Ceci pour plusieurs raisons :
 - ❑ plus on fait petit, plus les environnements de travail doivent être propres pour éviter des contaminations fatales aux circuits : les exigences de propreté des salles blanches ne cessent d'augmenter ;
 - ❑ plus on fait petit, plus les machines de production sont précises, fiables, difficiles à mettre au point et à entretenir ; de plus, elles ne sont fabriquées qu'en petites séries ;
 - ❑ plus on fait petit, plus il faut recourir à des matériaux spéciaux, à des solutions techniques complexes et à des étapes supplémentaires de fabrication ; aujourd'hui, on en compte environ 200 par circuit.
- ❑ Malgré ce déploiement d'efforts, le rendement d'une chaîne de fabrication ne dépasse pas 20 % lors du lancement d'une nouvelle production. Les efforts des équipes de fabrication feront rapidement passer ce chiffre à 80, voire 90 %.

Prix des usines de fabrication selon la technologie

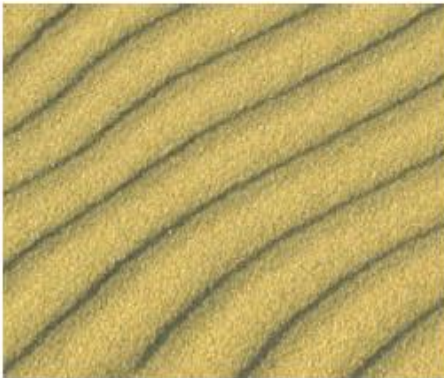
22



Comment fabrique-t-on un CI ?

23

Du sable au silicium
Du silicium au circuit intégré



Technique de conception des CI (1)

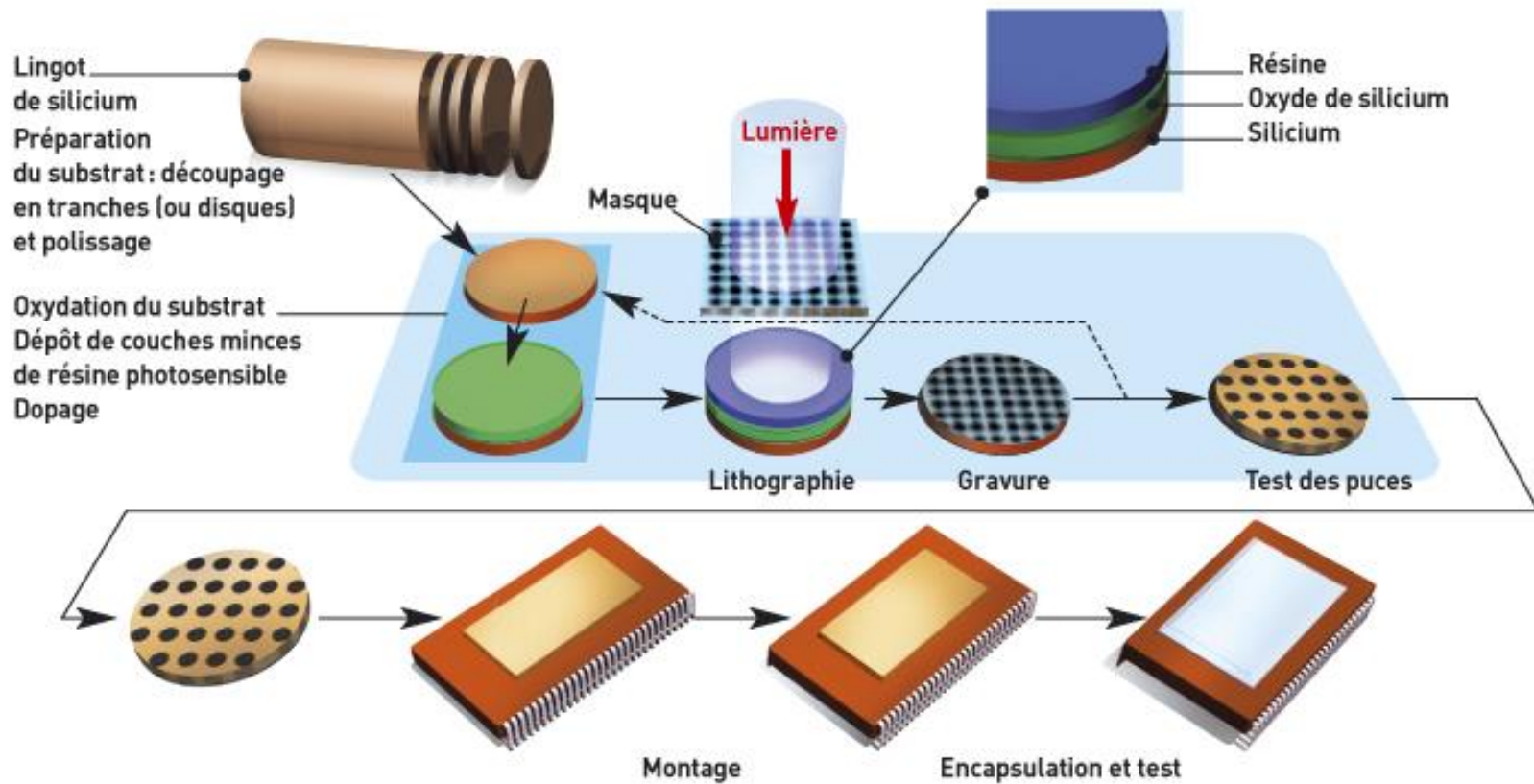
24

- Le silicium n'est pas utilisé à l'état pur : il est « dopé » par l'ajout en très faibles quantités d'ions étrangers (arsenic, bore, phosphore) qui guident et facilitent le passage du courant.
- La plupart des **transistors sont des MOS** (pour Métal, Oxyde, Semi-conducteur), une technologie développée dans les années 1970 : elle permet de réaliser des transistors qui consomment moins et de faciliter l'intégration des résistances, autres composants importants des circuits intégrés.
- Remarque : Ces dernières décades, l'industrie microélectronique a utilisé successivement des lingots de silicium de 100 mm de diamètre, puis 200 mm, ensuite 300 mm.

Le passage à 300 mm permettra d'augmenter le nombre de puces par plaquette dans un rapport de 2,4 à 2,7 et de diminuer le prix de 25 à 40 %

Technique de conception des CI (2)

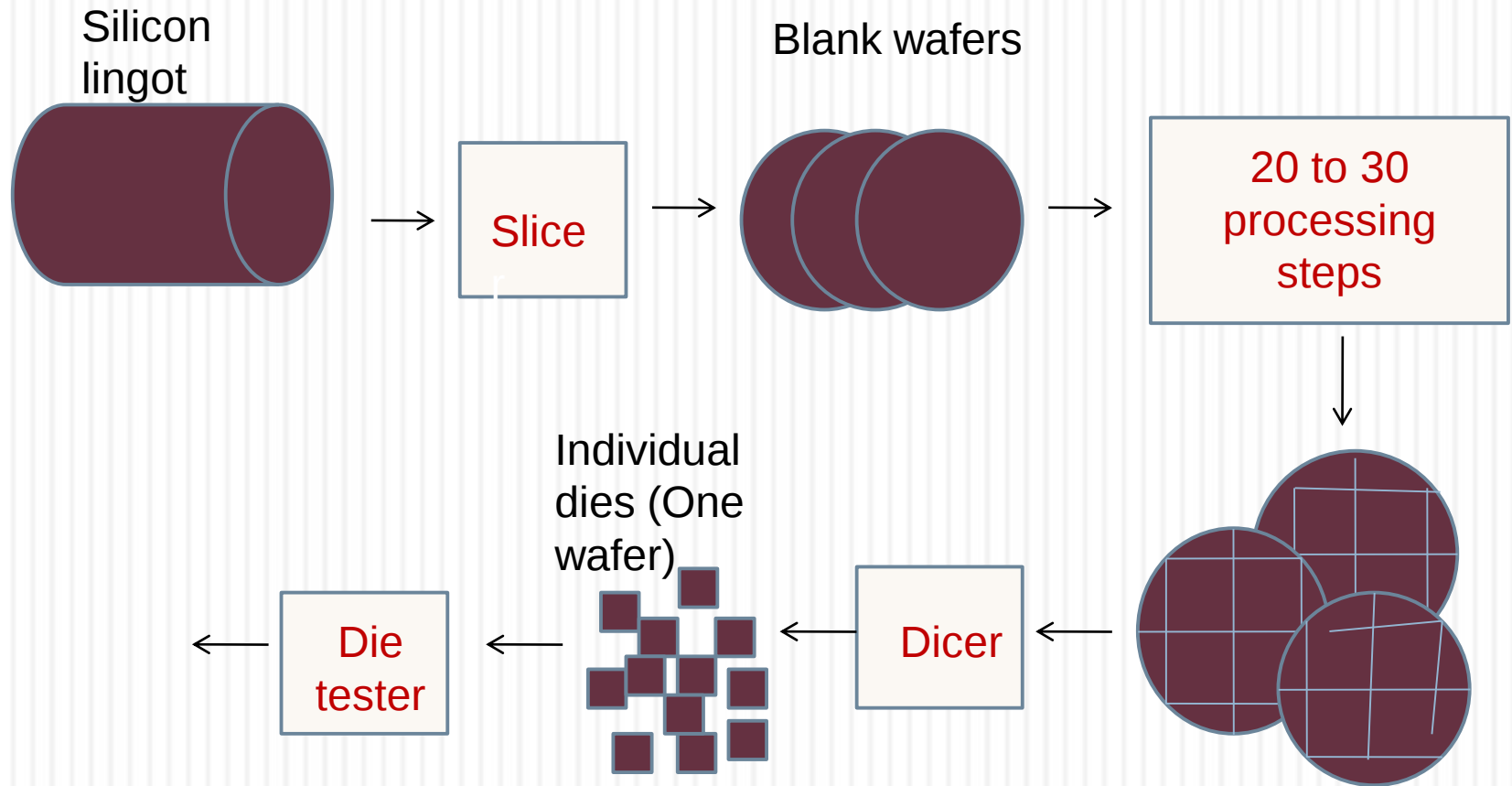
25



© CEA/Yuvance

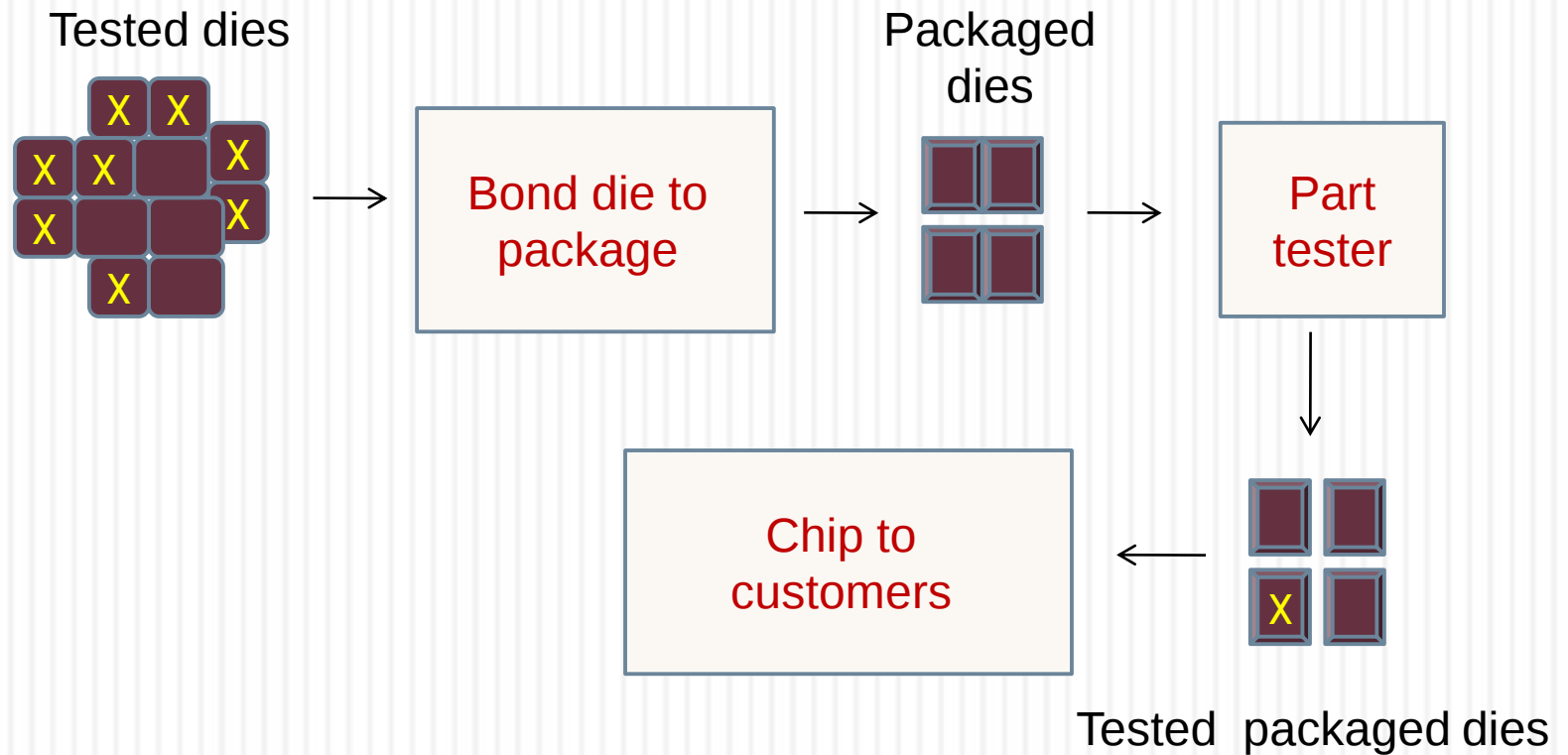
Technique de conception des CI (3)

26



Technique de conception des CI (4)

27



Technique de conception des CI (5)

28

- Après avoir découpé le barreau de silicium en tranches dites wafers. Un processus de 20 à 30 étapes est initié pour graver les différents schémas de circuits, préalablement conçus et vérifiés par des outils de CAO, DAO, ... Les wafers sont ensuite découpés en dies (puces) et chaque die est testé. Dans la figure ci-dessus, chaque wafer produit 12 dies, dont 4 seulement ont subi le test avec succès (X signifie que le die est mauvais). Le rendement de bonnes puces est de 4/12 ou 33 %. Les bonnes puces sont ensuite encapsulées dans des boîtiers en plastique ou en céramique puis testées de nouveau avant d'être commercialisées. Le test final révèle que la figure précédente présente un CI mauvais donc à jeter, soit 3 dies commercialisables.

Technique de conception des CI (6)

29

- La principale technique mise en œuvre se nomme la **lithographie** et signifie « écriture sur pierre ». Son origine remonte à une ancienne méthode d'impression en noir et blanc à partir d'une pierre calcaire sur laquelle est reporté un motif (à l'envers) à l'aide d'une encre, motif qui sera ensuite transféré par contact sur le support à imprimer

Technique de conception des CI (7)

30

- ❑ La photolithographie a pour but de transférer l'image d'un masque (photolithographie optique) ou d'un dessin numérisé (photolithographie laser ou électronique) sur un substrat préalablement couvert de résine photo ou électro sensible.
- ❑ La résine, sous l'effet du rayonnement UV, laser ou faisceau électronique subit une transformation chimique qui améliore (résine négative) ou dégrade (résine positive) sa tenue aux solutions de développement.

Technique de conception de CI (8)

31

☐ Les étapes essentielles sont :

- ☐ la photolithographie,
- ☐ la gravure,
- ☐ le dopage,
- ☐ la diffusion,
- ☐ et la métallisation.

Lien :

https://c3fab.icube.unistra.fr/index.php/Proc%C3%A9d%C3%A9s_d%E2%80%99%C3%A9laboration_et_de_traitement

Résumé (1)

32

- Les circuits intégrés sont construits par empilement de couches extrêmement fines, de l'ordre d'une dizaine de nanomètres, de matériaux semi-conducteurs (essentiellement du silicium), en alternance avec des couches d'isolant (oxyde de silicium) et de métaux conducteurs (aluminium ou cuivre).
- Un procédé de fabrication de circuits intégrés est généralement caractérisé par la longueur du canal du plus petit transistor pouvant être fabriqué, c'est-à-dire par la distance que doit parcourir un électron pour passer d'une borne à l'autre du plus petit des transistors de la puce. Cette dimension est représentative du degré d'intégration et des performances possibles qu'offre le procédé.
- Les procédés industriels actuels permettent de dessiner des transistors dont le canal est de moins d'un dixième de micromètre. Réaliser des circuits avec un tel niveau de précision demande un environnement très propre.

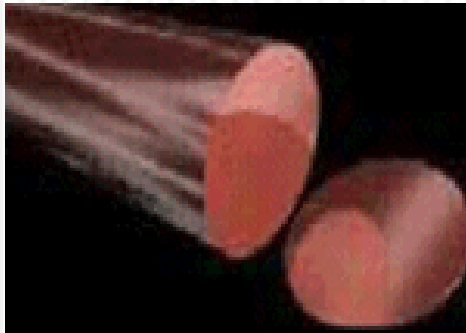
Résumé (2)

33

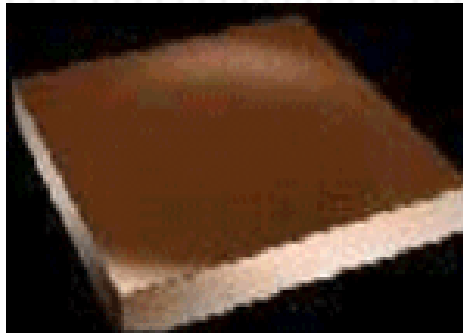
- Pour l'élaboration de tels circuits, les procédés de fabrication industriels adoptent des techniques de photolithographie.
- Le circuit à réaliser est fourni sous forme de masques que l'on pose sur un matériau photosensible. Il faut concevoir autant de masques qu'il y a de couches dans un circuit intégré.
- Le matériau ainsi masqué est exposé à un rayonnement ultraviolet (le matériau est dit *insolé*), généralement émis par une lampe au mercure.
- Ensuite, on abrase chimiquement les parties non insolées afin d'obtenir l'empreinte du masque. Cette opération est répétée pour chaque couche du circuit. Dans les technologies les plus modernes, on peut trouver une vingtaine de couches.

Quelques images (1)

34



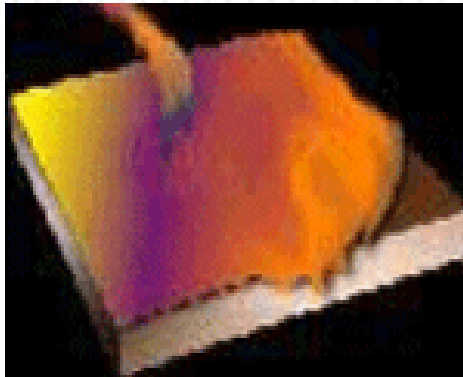
Barre de silicium



Wafer



Dépôt couche isolante



Dépôt couche photosensible



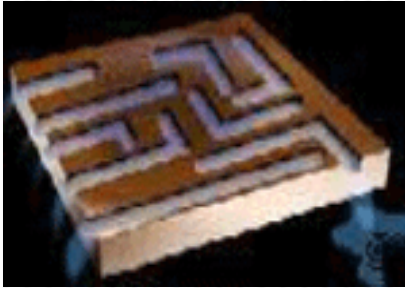
Masquage



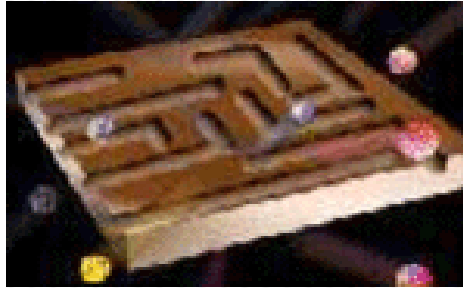
Insolation

Quelques images (2)

35



Photogravure



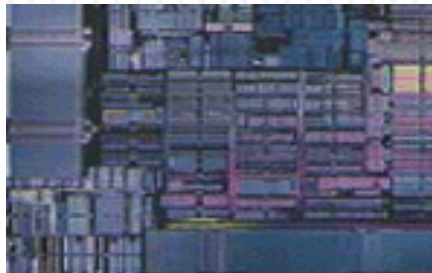
Dopage des zones dégagées



Gravure du wafer



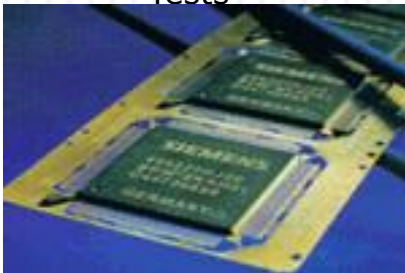
Tests



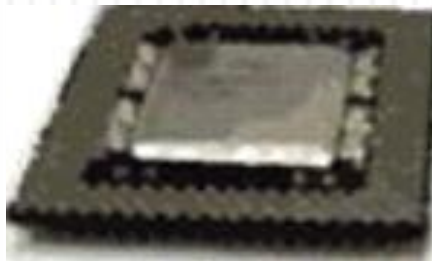
Découpe du wafer



Ajout des interconnexions



Ajout du boîtier



Processeur terminé

Exemples

36

1. Pentium :

wafer à 100 % rendement : 196 dies

surface die : 91 mm^2 , 3.3 millions de tansistors

2. Pentium Pro

wafer avec rendement à 100% : 78 dies

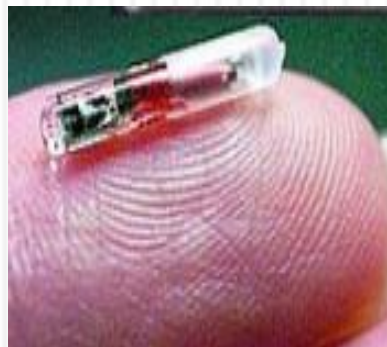
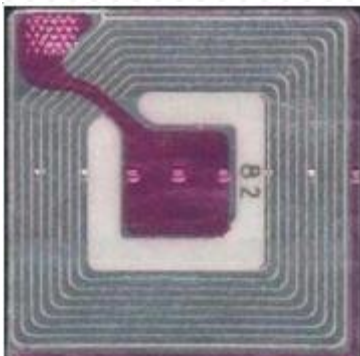
surface die : 306 mm^2

nombre de transistors : 5.5 millions

Autres puces

37

- Les puces de radio-identification, (usuellement abrégé RFID) sont de petits objets, tels que des étiquettes autoadhésives, qui peuvent être collées ou incorporées dans des objets ou des capsules qui peuvent être glissées sous la peau. Elles comprennent une antenne associée à un microprocesseur afin de recevoir et de répondre aux requêtes radio émises par les lecteurs. Ces puces contiennent un identifiant et éventuellement des données complémentaires qu'elles transmettent au lecteur par radio. La portée peut atteindre la centaine de mètres



Controverses

38

- Génération de signaux radio sur des fréquences pouvant s'avérer dangereuses pour la santé (téléphones portables, puces RFID, ...)
- Possibilité d'atteinte à la vie privée dans le cas de marqueurs "furtifs" (par exemple GPS caché)
- Le cas des étiquettes RFID sous-cutanées relève du droit à l'intégrité physique. La limitation au volontariat n'assure pas de garantie suffisante, toute personne refusant ces étiquettes sous-cutanées risquant fort bien, par ce fait, d'être victime de discriminations.
- Identification possible de personnes par les signatures de l'ensemble des étiquettes RFID (cartes bancaires, mobile, carte transports en commun...) qu'elle porte sur elle.

Coût des CI

39

- ❑ **Coût circuit intégré = (coût puce + coût test puce + coût mise en boîtier)/Rendement après test final**
- ❑ **Coût test puce = (coût test par heure x Temps moyen du test puce) / Rendement de fabrication**
- ❑ **Coût puce = Coût tranche/(puces par tranches x Rendement des puces)**
- ❑ **Puces par tranche (nbre) = $(\pi \times (\text{Diamètre de tranche} / 2)^2) / \text{surface puce} - (\pi \times \text{Diamètre de tranche}) / (2 \times \text{surface puce})^{1/2}$**
- ❑ **Rendement puce = Rendement tranche x $[1 + (\text{défauts unité surface} \times \text{surface puce}) / \alpha]^{-\alpha}$**

Sociétés de semi-conducteurs

40

- ❑ **Les fabricants de circuits intégrés** qui réalisent eux-mêmes toutes les étapes de la conception à la fabrication en passant par la vente des puces (comme les américains Intel, TI (Texas Instruments) ou AMD, ...)
- ❑ **Les sociétés fabless** (sans outil de production), qui conçoivent et commercialisent des puces, mais qui sous-traitent leur fabrication à des sociétés de fonderie (comme nvidia, ATI Technologies ou Xilinx).
- ❑ **Les sociétés de fonderie** qui fabriquent les wafers diffusés à partir de la conception de leur client. Le cœur d'une « fab » réside dans sa salle blanche. Les étapes réalisées par la fonderie sont la photolithographie, la gravure, le dopage, la diffusion et la métallisation. Les étapes de sciage et mise en boîtier ne se réalisent pas dans les « fabs » mais dans d'autres types d'usines dédiées à l'assemblage, qui sont nettement moins coûteuses (appelées couramment « back-end plant »).

Sociétés de semi-conducteurs

41

- ❑ **Les plus grands fondeurs sont asiatiques :**
 - ❑ Les taiwanais TSMC (Taiwan Semiconductor Manufacturing Co. Ltd.) UMC (United Microelectronics Corp.) sont les plus importants
 - ❑ Les chinois comme SMIC (Semiconductor Manufacturing International Corp.)

*Ces sociétés de **fonderie** ne vendent pas directement des circuits intégrés, mais des wafers gravés*

Limites physiques de l'intégration

42

- Elles sont essentiellement liées à la réduction des dimensions des composants élémentaires.
 - ▣ **La longueur d'onde de la lumière** (ultraviolet) servant à insoler les masques en photolithographie doit diminuer lorsqu'on réduit la taille du plus petit élément pouvant être dessiné.
 - ▣ **L'épaisseur de l'isolant de la grille** du transistor ne peut diminuer en deçà de 2 nm (épaisseur correspondant à l'empilement de moins de 10 atomes).
 - ▣ **La longueur de canal du transistor** ne peut décroître en dessous d'une certaine limite (de l'ordre d'une dizaine de nanomètres) sous laquelle l'effet tunnel se produit entre les bornes du transistor (source et drain), créant d'importants courants de fuite.

Les fondeurs commencent à buter sur des limites physiques, comme l'effet tunnel, et vont bientôt travailler à l'échelle de l'atome. Les recherches sur les transistors atomiques, et plus loin sur l'électronique quantique, n'en sont qu'à leurs balbutiements.

Limites physiques de l'intégration

43

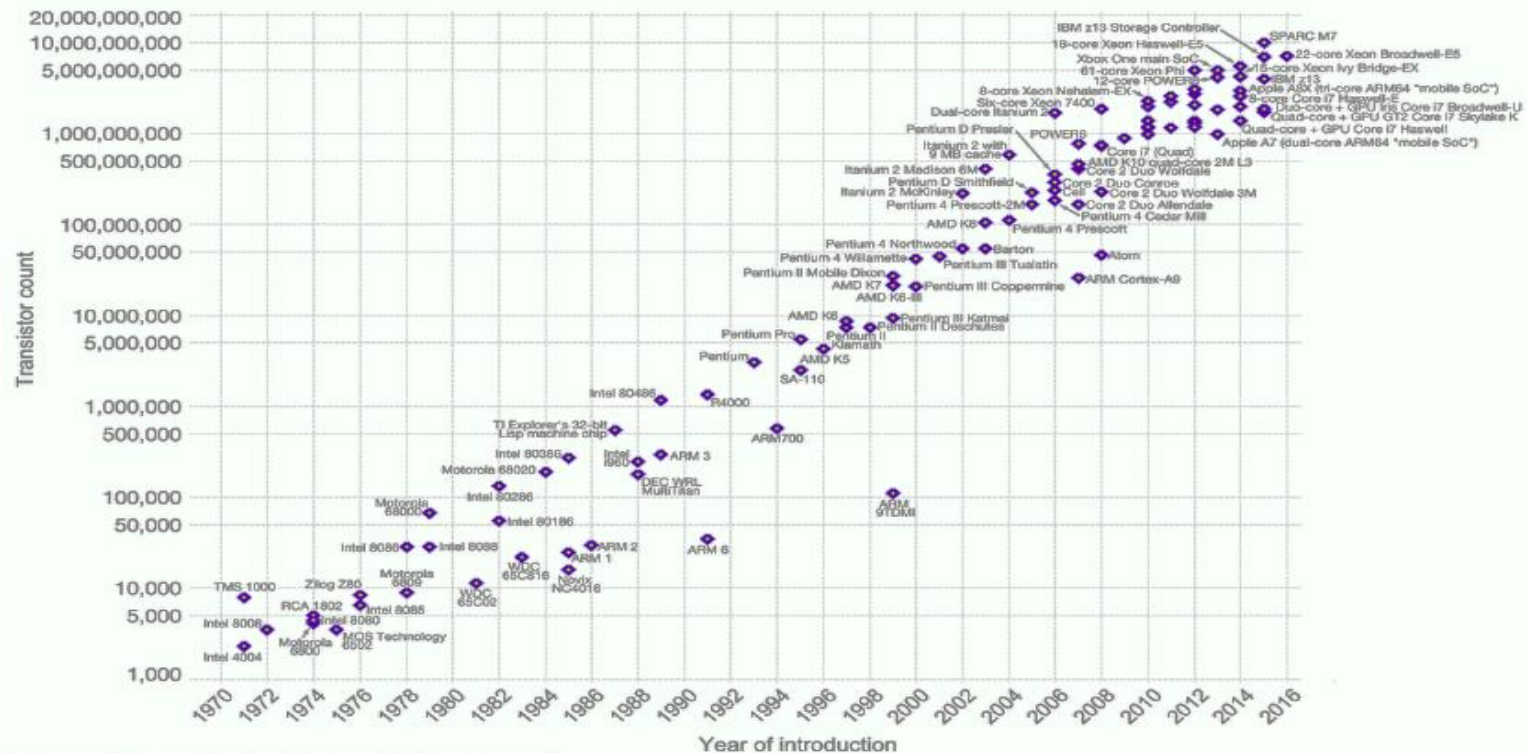
- L'effet tunnel désigne la propriété que possède un objet quantique de franchir une barrière de potentiel même si son énergie est inférieure à l'énergie minimale requise pour franchir cette barrière. C'est un effet purement quantique, qui ne peut pas s'expliquer par la mécanique classique
- *Les fondeurs commencent à buter sur des limites physiques, comme l'effet tunnel, et vont bientôt travailler à l'échelle de l'atome. Les recherches sur les transistors atomiques, et plus loin sur l'électronique quantique, n'en sont qu'à leurs balbutiements.*

Retour sur la loi de Moore mort : annoncée prématurément

Moore's Law – The number of transistors on integrated circuit chips (1971-2016)

Our World
in Data

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important as other aspects of technological progress – such as processing speed or the price of electronic products – are strongly linked to Moore's law.



Data source: Wikipedia (https://en.wikipedia.org/wiki/Transistor_count)

The data visualization is available at OurWorldinData.org. There you find more visualizations and research on this topic.

Licensed under CC-BY-SA by the author Max Roser.

Retour sur la loi de Moore mort : annoncée prématurément

Loi complémentaire : Le nombre de commentateurs « bien informés » prédisant la fin proche de la loi de Moore par atteinte des « limites de la physique » double tous les 2 ans

C'est sûr, « ils » toucheront la limite à

50 → 20 → 15 → 10 nm

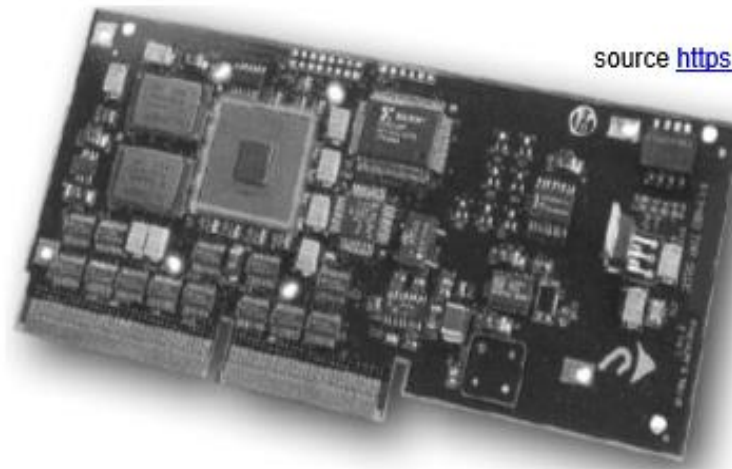
Actuellement : 7-10 nm

en construction : 5-3 nm



Mais les gros problème arrivent maintenant...

Système sur puce (SoC)



source <https://www.powershow.com/users/esElfakN6>



- Construction par assemblage d'IPs (*Intellectual Properties*)
 - CPUs, GPU, vidéos, USB, radio, contrôle mémoire, etc.
- Avantages : taille, consommation, vitesse de développement, fabrication, prix, etc.

Essor du smartphone



source Wikipedia, Francis Flinch



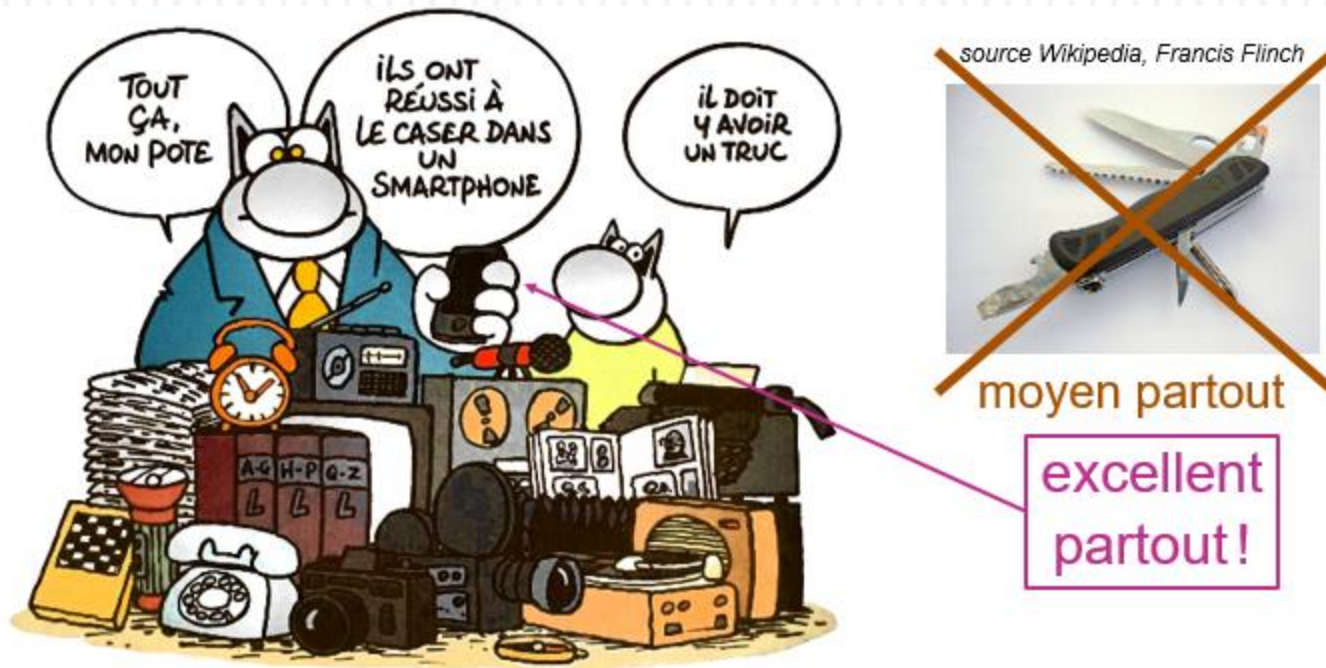
moyen partout

excellent partout!

Philippe Geluk, *Le chat pète le feu*, Casterman, 2018

Le circuit fait les calculs, le logiciel décide quoi faire

Essor du smartphone



Philippe Geluk, *Le chat pète le feu*, Casterman, 2018

A utiliser avec modération, parents et enfants !

L'avancée continue toujours

- ❑ Apple / TSMC, iPhone A12 Z : 7 nm, 9 milliards de transistors (aussi Samsung, Huawei...)
- ❑ 2019 : 5 nm en production (Samsung)
- ❑ 2022 : 3 nm en chantier (TSMC)
- ❑ Plusieurs équipes ont construit des transistors à 1 atome (0,35 nm) !

Le problème majeur est la diminution de la **consommation d'énergie...**

La loi de Moore ralentit

Le **mur de la chaleur** : la fréquence n'augmente plus
calcul + fuites électriques $\Rightarrow$ **chaleur excessive**

La difficulté croissante de la CAO électronique

Le **coût démesuré** des nouvelles usines

- Prévvision : TSMC 3nm, 2022 $\rightarrow$ \$ 20 Md
- Chine 3nm $\rightarrow$ \$ 30 Md

Réduction associée du nombre de fournisseurs

- ST Microelectronics : ~~25nm~~
- Août 2018 : Global Foundries (ex. AMD) : ~~7nm~~

Un problème stratégique

Leader des machines de fabrication : **ASML** (Hollande)

Un des leaders du design : **ARM** (Angleterre)

Presque plus de fabs, restées à 28nm : **ST Micro**

Nouveau projet européen de **calculateur Exascale**
(ATOS + 23 participants)

ARM ? Ou **RISC-V** (*open source*) ? Ou nouveau ?

De toutes façons, même en maîtrisant son design
l'Europe ne saura pas le fabriquer....
Mais ST Micro est très bon en SoCs applicatifs

10¹⁸
↓

Récréation

52

Associez chaque mot de la liste suivante avec une des définitions proposées :

- a- Horloge
- b- Cache
- c- RAM
- d- Système d'exploitation
- e- Registre
- f- Transistor

Récréation

53

1. Circuit spécialisé comportant une petite quantité de mémoire ultra rapide pour rendre les informations fréquemment demandées immédiatement accessibles au processeur.
2. Petite mémoire contenue dans le microprocesseur destiné à stocker de manière très temporaire un certain nombre d'informations comme les résultats intermédiaires d'un calcul ou l'adresse de la prochaine instruction à exécuter.
3. Sorte de commutateur électronique servant à contrôler le passage du courant électrique.
4. Cristal de quartz vibrant à une fréquence déterminée, produisant des signaux périodiques qui servent à synchroniser les tâches d'un microprocesseur.
5. Type de mémoire volatile, lisible et réinscriptible, dont chaque cellule est directement accessible.
6. Programme nécessaire à la gestion des ressources matérielles et logiciels d'un ordinateur.

- Les avantages du numérique par rapport à l'analogique sont ...
 - ▣ sa facilité d'implémentation
 - ▣ sa fiabilité
 - ▣ sa faible sensibilité aux déformations du signal dues au magnétisme
 - ▣ ses possibilités supplémentaires de manipulation
 - ▣ les 4 dernières réponses

- Les avantages du numérique par rapport à l'analogique sont ...
 - ▣ sa facilité d'implémentation
 - ▣ sa fiabilité
 - ▣ sa faible sensibilité aux déformations du signal dues au magnétisme
 - ▣ ses possibilités supplémentaires de manipulation
 - ▣ **les 4 dernières réponses**

Thanks