

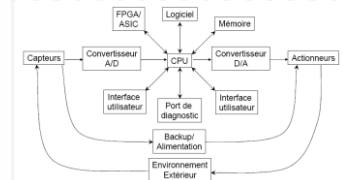
Master 1 - SEM

Processeurs embarqués

Conception de CI TDs 1

Année 2022-2023

Pr. R. BOUDOUR



Questions

2

- 1.1** Convertir : 5 fs = ? ps
 0.5 nm = ? μ m
 15 Tb = ? Mo
 4 GHz = ? KHz
- 1.2** Pour une tranche de 20 cm, trouver le nombre de puces de 1.5 cm de côté.
- 1.3** Est-ce-que l'énoncé suivant est vrai ?
« Lorsque la surface d'une puce diminue de 10%, le coût de la puce diminue du tiers »

Question 4

1.4

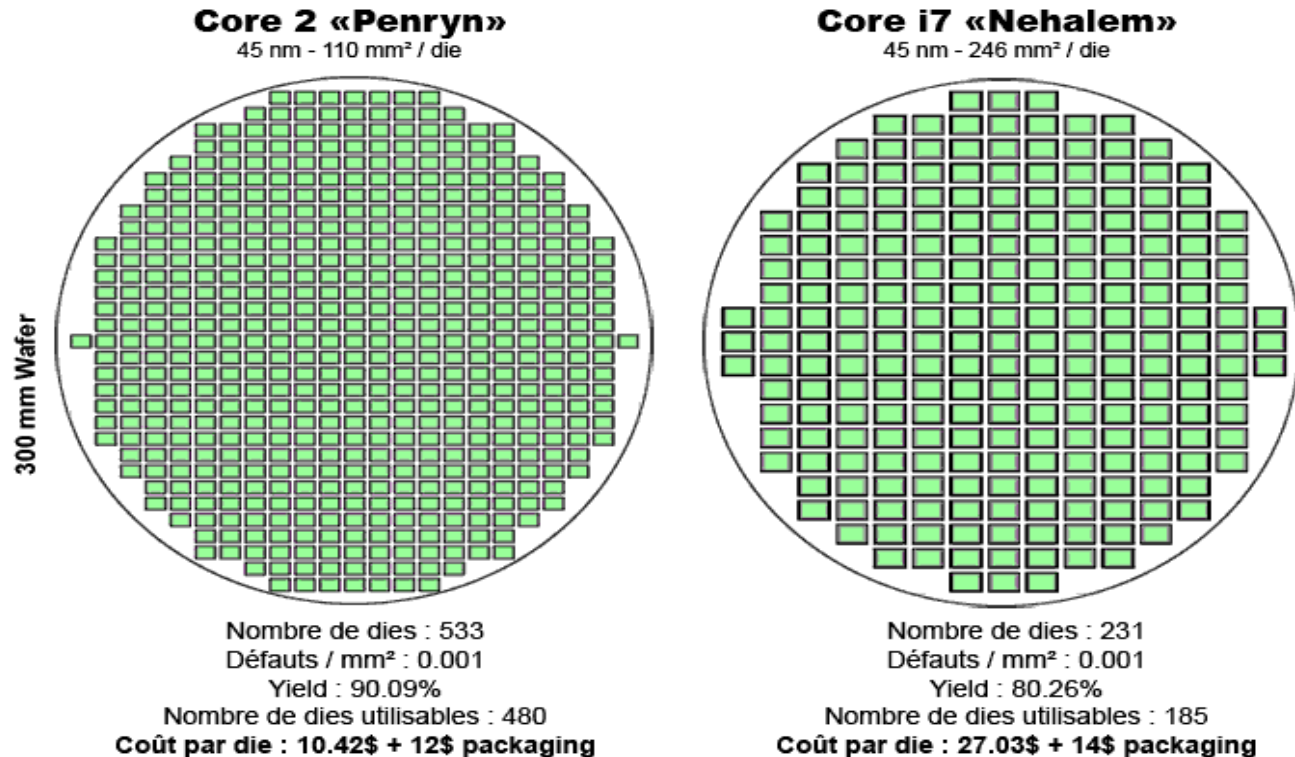
Si le transistor d'un microprocesseur possède un diamètre de 0.1 micron une certaine année :

- i) *Quelle sera la taille du transistor d'un modèle dans une année selon la loi de Moore ?*
- ii) *Dans deux années ?*
- iii) *Peut-on généraliser pour une année n ?*

Question 5

4

1.5 Soient les caractéristiques de fabrication des 2 processeurs suivants :



Question 5

5

1.5 (suite)

Les Core 2 **Penryn** (Dual Core) 45 nm comportent 410 millions de transistors et occupent une surface de 110 mm^2

Les Core i7 **Nehalem** (Quad Core, successeur du Penryn et qui intègrent un contrôleur mémoire et PCI-Express) 45 nm comportent 731 millions de transistors et occupent une surface de 246 mm^2

Quel est le coût total (prix de revient) dans chacun des deux cas pour produire 10 000 processeurs si le prix du wafer est de 5000 \$?

Réponses

6

- 1.1 Conversion
- 5 fs = **5×10^{-3} ps**
 - 0.5 nm = **0.5×10^9 am**
 - 15 Tb = **$15 \times 2^{20-3}$ Mo**
 - 4 GHz = **4×10^6 KHz**

- 1.2 **107 puces**, par application de la formule ci-dessous :
- $$\text{Nb de puces par tranche} = \frac{(\pi \times (\text{Diamètre de tranche} / 2)^2)}{\text{surface puce} - (\pi \times \text{Diamètre de tranche}) / (2 \times \text{surface puce})^{1/2}}$$

- 1.3 **Vrai**

Soit : C, Coût de la puce ; S, surface de la puce

$$C \approx S^4$$

$$S-10\%S = (0.9S)^4 = 0.6561 \times S^4$$

$$= 0.6561 \times C$$

$$\approx 2/3 C = C - 1/3C$$

Réponses

1.4

s : surface d'un transistor d'une année donnée

n : nbre de transistors d'une puce une certaine année

s' : surface d'un transistor l'année suivante

nbre de transistors d'une même puce : $s \times n = s' \times n(1.6)$; loi de Moore

$d^2 \times n = d'^2 \times n(1.6)$; surface $\approx$ diamètre au carré

$$d' = ((1/1.6) \times d^2)^{0.5}$$

$$= \mathbf{0.079 \mu m}$$

Ainsi : $d = 1 \mu m$ (**une certaine année**), $d = \mathbf{0.079 \mu m}$ (année suivante)

Réitérer en prenant $d = 0.079 \Rightarrow d'' \approx 0.062$ (après deux années)

Généralisation à n :



Réponses

8

1.5

Penryn : $0,9 \times 533 = 479$ processeurs viables (bons)

Nbre de wafers $10\ 000 / 479 = 20,87$ soit 21 wafers,

Le coût total (ou prix de revient) est de :

$$21 \times 5\ 000 + 10\ 000 \times 22.42 = 329\ 200 \$.$$

Nehalem : $0,8 * 231 = 184$ processeurs viables (bons)

donc $10\ 000 / 184 = 54,34$ soit 55 wafers,

le coût total est de :

$$55 \times 5\ 000 + 10\ 000 \times 41.03 = 685\ 300 \$.$$

Soit un rapport : $685\ 300 / 329\ 200 = 2.08$

Concepts & Définitions

9

❑ Associez chaque mot de la liste suivante à une des définitions proposées :

- a- Horloge
- b- Cache
- c- RAM
- d- Système d'exploitation
- e- Registre
- f- Transistor
- g- DMA (Direct Memory Access)
- h- Bus

Concepts & Définitions

10

1. Circuit spécialisé comportant une petite quantité de mémoire ultra rapide pour rendre les informations fréquemment demandées immédiatement accessibles au processeur.
2. Petite mémoire contenue dans le microprocesseur destiné à stocker de manière très temporaire un certain nombre d'informations comme les résultats intermédiaires d'un calcul ou l'adresse de la prochaine instruction à exécuter.
3. Sorte de commutateur électronique servant à contrôler le passage du courant électrique.
4. Cristal de quartz vibrant à une fréquence déterminée, produisant des signaux périodiques qui servent à synchroniser les tâches d'un microprocesseur.
5. Type de mémoire volatile, lisible et réinscriptible, dont chaque cellule est directement accessible.
6. Programme nécessaire à la gestion des ressources matérielles et logiciels d'un ordinateur.
7. C'est un mécanisme qui permet à un périphérique de transférer des données de, ou vers la mémoire d'un ordinateur sans passer par le processeur.
8. Ensemble des lignes transportant les signaux qui permettent au microprocesseur de communiquer avec ses mémoires et ses périphériques.

Concepts & Définitions

11

a	b	c	d	e	f	g	h
4	1	5	6	2	3	7	8

- ☐ **Les avantages du numérique par rapport à l'analogique sont :**
 - ☐ sa facilité d'implémentation
 - ☐ sa fiabilité
 - ☐ sa faible sensibilité aux déformations du signal dues au magnétisme
 - ☐ ses possibilités supplémentaires de manipulation
 - ☐ les 4 dernières réponses

- ☐ **Les avantages du numérique par rapport à l'analogique sont :**
 - ☐ sa facilité d'implémentation
 - ☐ sa fiabilité
 - ☐ sa faible sensibilité aux déformations du signal dues au magnétisme
 - ☐ ses possibilités supplémentaires de manipulation
 - ☐ **les 4 dernières réponses**

- **Le circuit intégré est inventé en :**
 - 1938
 - 1958
 - 1948
 - 1968

- **Lequel de ces énoncés ne se rapporte pas au transistor :**
 - robinet à photons
 - interrupteur commandé
 - modulateur de signal
 - stabilisateur de tension

- ☐ **Le circuit intégré est inventé en :**
 - ☐ 1938
 - ☐ **1958**
 - ☐ 1948
 - ☐ 1968

- ☐ **Lequel de ces énoncés ne se rapporte pas au transistor :**
 - ☐ robinet à photons
 - ☐ interrupteur commandé
 - ☐ modulateur de signal
 - ☐ stabilisateur de tension

- ❑ **La photolithographie consiste à :**
 - ❑ sculpter une image de circuit dans du silicium
 - ❑ transférer une image d'un masque vers un substrat
 - ❑ doper le silicium de bore
 - ❑ placer sur un substrat une résine sensible

- ❑ **L'épaisseur d'un wafer se mesure :**
 - ❑ en cm
 - ❑ en pm
 - ❑ en mm
 - ❑ en μm

- **La photolithographie consiste à :**
 - sculpter une image de circuit dans du silicium
 - **transférer une image d'un masque vers un substrat**
 - doper le silicium de bore
 - placer sur un substrat une résine sensible

- **L'épaisseur d'un wafer se mesure :**
 - en cm
 - en pm
 - **en mm**
 - en μm

Définition de quel(s) terme(s) ?

18

- ☐ réalisent eux-mêmes toutes les étapes de la conception à la fabrication en passant par la vente des puces (comme les américains Intel, TI (Texas Instruments) ou AMD, ...)
- ☐ (sans outil de production), qui conçoivent et commercialisent des puces, mais qui sous-traitent leur fabrication à des sociétés de fonderie (comme nvidia, ATI Technologies ou Xilinx).
- ☐ fabriquent les wafers diffusés à partir de la conception de leur client

Définition de quel(s) terme(s) ?

19

- ❑ **Les fabricants de circuits intégrés** qui réalisent eux-mêmes toutes les étapes de la conception à la fabrication en passant par la vente des puces (comme les américains Intel, TI (Texas Instruments) ou AMD, ...)
- ❑ **Les sociétés fabless** (sans outil de production), qui conçoivent et commercialisent des puces, mais qui soustraient leur fabrication à des sociétés de fonderie (comme nvidia, ATI Technologies ou Xilinx).
- ❑ **Les sociétés de fonderie** qui fabriquent les wafers diffusés à partir de la conception de leur client

Répondre par vrai ou faux

20

- ☐ La ligne de gravure des circuits intégrés est 1000 plus petite qu'un cheveu humain de la tête
- ☐ La loi de Ruge dit que : *La puissance CPU en MIPS double tous les 2 ans*
- ☐ *RFID est l'acronyme de Radio Frequency Identification*
- ☐ La RFID a une portée de dizaines de mètres
- ☐ La RFID est moins sûre que la NFC

Répondre par vrai ou faux

21

- ☐ La ligne de gravure des circuits intégrés est 1000 plus petite qu'un cheveu humain de la tête **(Vrai)**
- ☐ La loi de Ruge dit que : La puissance CPU en MIPS double tous 2 ans **(Faux)**
- ☐ *RFID est l'acronyme de Radio Frequency Identification* **(Vrai)**
- ☐ La RFID a une portée de dizaines de mètres **(Vrai)**
- ☐ La RFID est moins sûre que la NFC **(Vrai)**

Exercice à faire à domicile

22

On veut estimer le coût final d'un microprocesseur en utilisant l'équation du coût de la puce et en ajoutant les coûts des boîtiers et du test. Les tableaux ci-dessous indiquent respectivement les caractéristiques de microprocesseurs et les caractéristiques des boîtiers et test :

Microprocesseur	Surface puce en mm ²	Broches	Technologie	Coût estimé tranche	Boîtier
MIPS 4600	77	208	CMOS,0.6μ	3200	PQFP
PowerPC 603	85	240	CMOS,0.6μ	3400	PQFP
HP 71x0	196	504	CMOS,0.8μ	2800	PGA c.
Digital 21064A	166	431	CMOS,0.5μ	4000	PGA c.
SuperSPARC/60	256	293	BiCMOS,0.6μ	4000	PGA c.

Type de boîtier	Nbre broches	Coût boîtier	Temps de test (en secondes)	Coût test / heure
PQFP	<220	12	10	300
PQFP	<300	20	10	320
PGA céramique	<300	30	10	320
PGA céramique	<400	40	12	340
PGA céramique	<450	50	13	360
PGA Céramique	<500	60	14	380
PGA céramique	>500	70	15	400

17/10/2022 20:27:28

Exercice à faire à domicile

23

- i) Pour chacun des microprocesseurs, calculer le nombre de bons circuits que l'on obtiendrait d'une tranche de 20 cm de diamètre. On suppose une densité de défauts d'un défaut par cm^2 , un rendement par tranche de 95% et $\alpha = 3$ (nombre de masques de fabrication).
- ii) Pour chaque microprocesseur, calculer le coût par puce bonne avant mise en boîtier et test.
- iii) Le coût du boîtier et le coût du test sont proportionnels au nombre de broches. Calculer le coût d'une puce bonne, testée et mise en boîtier.
- iv) Il y a de grandes différences en densité de défauts entre les fabricants de semi-conducteurs. Trouver les coûts pour le plus gros processeur (coût total comprenant le boîtier) en supposant une densité de défauts de 0.6 par cm^2 et une densité de défauts de 1.2 par cm^2 .
- v) Le paramètre α dépend de la complexité du procédé de fabrication. Les niveaux de métal supplémentaires augmentent la complexité. Par exemple α peut être approximé par le nombre de niveaux d'interconnexion. Pour le Digital 21064A avec 4.5 niveaux d'interconnexion, estimer le coût d'une puce fonctionnant, en boîtier et testée si $\alpha=3$ et si $\alpha=4.5$. On suppose une densité de 0.8 défauts par cm^2 .

Exercice à faire à domicile

24

Formules utiles :

*Coût circuit intégré = (coût puce + coût test puce + coût mise en boîtier) /
Rendement après test final*

*Coût test puce = (coût test par heure x Temps moyen du test puce) / Rendement
de fabrication*

Coût puce = Coût tranche / (puces par tranches x Rendement des puces)

Puces par tranche = $(\pi \times (\text{Diamètre de tranche} / 2)^2) / \text{surface puce} - (\pi \times \text{Diamètre de tranche}) / (2 \times \text{surface puce})^{1/2}$

Rendement puce = Rendement tranche $\times \{1 + (\text{défauts unité surface} \times \text{surface puce}) / \alpha\}^{-\alpha}$

Abréviations :

PGA céramique (Pin Grid Array) , PQFP (Plastic Quad Flat Pack)

