



Université Badji Mokhtar
Département d'informatique

15/01/2023

Solutionnaire Epreuve écrite finale
M2 - SEM (Concepts avancés d'architecture, Semestre 3)

Durée : 90'

Exercice 1 : 7 points

A. Répondre par vrai ou faux à chacune des énoncés suivants :

1. La vectorisation signifie que le processeur génère un numéro lui permettant d'accéder à une entrée de la table des vecteurs d'interruption.
2. L'appel d'une interruption ne diffère pas de l'appel d'une procédure.
3. Un microprocesseur Intel utilise au moins un circuit 8259A pour pouvoir raccorder des périphériques à sa broche INTR
4. Les entrées sorties pour les 80x86 sont mappées en mémoire
5. Les données transférées par DMA transitent par le registre processeur AL (8086)
6. La fonction 25h de DOS permet d'écrire dans la table des vecteurs d'interruption
7. Cette séquence permet de terminer un programme résident et de libérer son espace mémoire :

```
LEA DX, Fin  
MOV CL, 4  
MOV DX, CL  
INC DX  
MOV AX, 3100H  
INT 21H
```

8. Les intructions CLI et STI permettent exclusivement l'accès à un espede d'E/S séparé de la mémoire
9. L'anomalie de Belady stipule que si on augmente le nombre de cadres, le taux de défauts de pages diminue.
10. Un hygromètre est un actionneur

1	2	3	4	5	6	7	8	9	10
V	F	V	F	F	V	F	V	V	F

0.5x10

- B. Le processeur Intel Core i7, produit en 2010, contient environ 1.17 milliards de transistors. Combien de transistors les processeurs de 2022 devraient-ils contenir

si les dimensions du processeur ne changent pas, si on utilise toujours la technologie la plus récente et si la loi de Moore est respectée ? (Préciser la loi de Moore utilisée)

Moore prédit en 1965 que le nombre de transistors double tous les 18 mois sur une puce de dimensions identiques

Ainsi :

$$1.17 * 10^9 * 2^{12/1.5} = 1.17 * 10^9 * 2^8 = 299.52 * 10^9 \text{ transistors}$$

Ou selon une autre version de la loi où le doublement se fait tous les 24 mois :

$$1.17 * 10^9 * 2^{12*12/24} = 1.17 * 10^9 * 2^6 = 74.88 * 10^9 \text{ transistors}$$

2

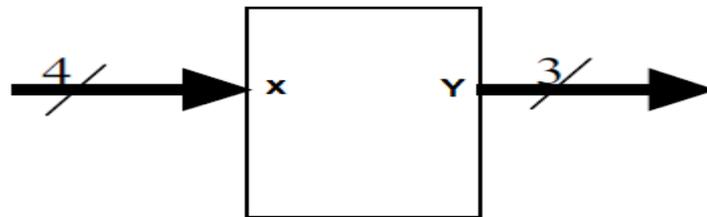
Exercice 2 : 5 points

A. Le cahier de charges est le suivant : Le nombre Y en sortie indique en binaire le nombre de signaux à 1.

Si x = 0001 alors Y = 001

Si x = 1001 alors Y = 010

Si x = 1111 alors Y = 100



Ecrire un programme en langage VHDL décrivant le fonctionnement de ce système.

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
ENTITY combi7 IS
    PORT (
        x: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
        Y: OUT INTEGER RANGE 0 TO 4
    );
END combi7;

ARCHITECTURE archi OF combi7 IS
BEGIN
    PROCESS (x)
        VARIABLE resultat : INTEGER;
    BEGIN
        resultat := 0;
        FOR i IN 0 TO 3 LOOP
            IF (x(i) = '1') THEN
                resultat := resultat + 1;
            END IF;
        END LOOP;
        Y <= resultat;
    END PROCESS;
END archi;
  
```

- B. i) Trouvez les erreurs dans le programme Esterel ci-dessous puis récrire le programme après correction.
 ii) Que fait ce programme ?

```

module D
input      A, B, C;
output    SERVE_B, SERVE_C;
relation  A # B # C;
loop
    await ;
    case B do emit SERVE_B;
    case C do emit SERVE_C;
    end await;
end loop;
End D;

```

- i) Réécriture du programme

module D :

```

input      A, B, C;
output    SERVE_B, SERVE_C;
relation  A # B # C;
loop
    await A;
    await
    case B do emit SERVE_B;
    case C do emit SERVE_C;
    end await;
end loop;
End module;

```

- ii) Ce programme décrit le fonctionnement d'un distributeur simple

1+1

Exercice 3 : 3 points

Un ordinateur possède une mémoire principale ayant un temps d'accès de 100 ns.

- 1) On installe sur le système un mécanisme de mémoire virtuelle avec une table des pages stockée en mémoire principale et une TLB pour accélérer les traductions. Le temps d'accès au TLB est de 10 ns et, lors d'une traduction d'adresse, la recherche dans ce tampon se fait en parallèle avec la récupération de la table. Le taux de succès du TLB est de 95 % (95 % des adresses virtuelles ont leur adresse physique correspondante dans le TLB ; pour les 5 % qui ne l'ont pas, il faut consulter la table). Quel est le temps moyen d'accès à une information en mémoire ?

2) on accède en 10 ns avant la consultation de la mémoire principale (on lance une requête dans le cache ; si celle-ci est infructueuse, on adresse ensuite la mémoire principale). Le taux de défauts de cache est de 10 %. Quel est le temps moyen d'accès à une information en mémoire ?

1) Dans les 95 % des accès, le TLB établit en 10 ns la correspondance entre adresses virtuelle et physique. Pendant les 5 % restants, un accès mémoire est nécessaire (en 100 ns, accès en parallèle en mémoire et le TLB) pour consulter la table des pages. Dans les deux cas, un accès mémoire en plus est requis pour récupérer l'information. Le temps moyen s'exprime comme suit :

$$T = 95\% \times (10+100) + 5\% \times (100+100) = 114,5 \text{ ns}$$

2) Le temps moyen est de 10 ns pour accéder au cache, avec un taux d'échec cache de 10% et un temps d'accès mémoire de 100 ns.

Soit un temps moyen de :

$$T = 10 + 10\% \times 100 = 20 \text{ ns}$$

1.5x2

Exercice 4 : 3 points

Un ordinateur est équipé d'une mémoire physique ayant trois cadres de page et d'une mémoire virtuelle comportant quatre pages (0 à 3). Proposez une suite de sept références de pages virtuelles provoquant moins de défauts de page pour l'algorithme FIFO que pour l'algorithme LRU.

Le principe est de réutiliser les pages : LRU supprime des pages anciennes les moins utilisées qui pourraient être référencées plus tard alors que FIFO éjecte les anciennes pages qui pourraient aussi être référencées. Le tableau ci-après donne une suite de références successives provoquant plus de défauts de page pour LRU que pour FIFO. Le numéro indique la page éjectée de la mémoire physique.

Cette séquence de références de pages virtuelles n'est pas unique.

Pages virt.	0	1	2	0	3	1	2
FIFO	Défaut	Défaut	Défaut	Succès	Défaut 0	Succès	Succès
LRU	Défaut	Défaut	Défaut	Succès	Défaut 1	Défaut 2	Défaut 0

LRU : 3+3 et FIFO : 3+1 défauts de pages

FIFO provoque moins de défauts de pages que LRU pour cette suite.

3

Exercice 5 : 2 points

1. En s'aidant de la table des vecteurs d'interruption, Calculer l'adresse physique sur un processeur Intel 8086 sachant que l'évènement survenu est de code 14h

00054	XX
00053	71
00052	40
00051	2F
00050	00
0004F	25
0004E	13
...	...
00001	XX
00000	XX

$14 \times 4 = 50$ (entrée dans la table des vecteurs)
IP = 2F00 Agencement des octets dans un
CS = 7140 mot est petit boutiste
Adresse physique : $71400 + 2F00 = 74300$

2. Que fait l'instruction IRET terminant un traitant ?
Elle restitue le contexte suvegardé dans la pile pour permettre la reprise du processus interrompu.

1+1

Avec la Compréhension, vient la Libération (Bar-do Thos-grol)

Buona fortuna !