



**Solutionnaire Epreuve écrite finale
M1-SEM (Processeurs Embarqués)**

Durée : 90'

Exercice 1 : 4 points

Répondre par vrai ou faux à chacun des énoncés suivants :

- a) Le bit de DRAM est constitué d'un transistor et d'un condensateur.
- b) Un wafer est une tranche de silicium, d'épaisseur égale à 0.3 mm
- c) Un élément PAL dispose de deux matrices : Et programmable, OU Câblée
- d) L'exécution du code suivant implique 2 accès à la mémoire centrale :
 $Lw\ r1, 4(r2)$
 $Sub\ r1, r2, \#15$
 $sw\ r1, 8(r2)$
- e) Dans le mode d'adressage inversion de bits, sur 3 bits : 100 correspond à 001
- f) La technologie antifusible pour PLD est moins dense que celle à base de SRAM.
- g) L'instruction MAC fait partie du jeu d'instructions d'un microcontrôleur
- h) La SRAM se reconfigure *on the fly* mais elle est très sensible aux radiations.
- i) Le bitstream est un fichier de configuration pour le FPGA.
- j) L'erreur dans le codage Q_k est égale à $2^{-(k+1)}$
- k) SoC est l'abréviation de : System on Circuit
- l) PIC est une marque déposée de microcontrôleurs Microchip.
- m) Le TTM (Time To Market) d'un FPGA est supérieur à celui d'un ASIC
- n) Un FPGA comporte 3 entités principales : bloc logique, bloc d'E/S et bloc d'interconnexion
- o) Les instructions $beq\ r1, r2, imm16$ et $sub\ r4, r3, r5$ présentent un aléa de contrôle
- p) Un DSP est un processeur dédié au traitement du signal.

| | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| a | b | c | d | e | f | g | h | i | j | k | l | m | n | o | P |
| V | V | V | V | V | F | F | V | V | V | F | V | F | V | V | V |

0.25x16

Exercice 2 : 3 points

Un programme test exécute un total de 1000 instructions. Le CPI des instructions entières est de 1 et le CPI des instructions flottantes est de 4. Si le CPI global est de 1.9, quel est le nombre d'instructions entières ?

$$CPI_{global} = (CPI_{entier} * NI_{entier} + CPI_{flottant} * NI_{flottant}) / NI$$

$$Donc\ 1.9 = (1 * NI_{entier} + 4 * NI_{flottant}) / 1000$$

$$= (1 * NI_{entier} + 4 * (1000 - NI_{entier})) / 1000$$

$$= (-3 * NI_{entier} + 4000) / 1000$$

Par conséquent $NI_{entier} = 700$ instructions

3

Exercice 3 : 3 points

1. On examine le cas d'un microprocesseur pipeliné à 10 étages. Quel est le nombre maximal d'instructions qui peuvent s'exécuter simultanément dans ce processeur ?
10 instructions, car il y a 10 étages (1 instruction / étage)
2. Si la fréquence d'horloge de ce processeur est de 2GHz. Quel est le temps d'exécution des 100 premières instructions ?

$$f=2GHz \Rightarrow T=1/f = 1/2GHz = 1 / 2 \times 10^9 \text{ Hz} = 10^9 \text{ ns} / 2 \times 10^9 = 0.5 \text{ ns}$$

$$\begin{aligned} \Rightarrow \text{temps d'exécution} &= \text{latence pipeline} + \text{nbre d'instructions} - 1 \\ &= 10 + 100 \text{ instructions} - 1 \\ &= 10 + 99 \text{ cycles} \\ &= 54.5 \text{ ns} \end{aligned}$$

1+2

Exercice 4 : 3 points

Les composants d'un processeur à cinq étages mettent un temps donné ci-dessous à se stabiliser :

- Récupération d'instruction : 0,5 ns ;
- Décodage d'instruction : 0,7 ns ;
- Exécution : 0,9 ns ;
- Écriture : 0,5 ns ;
- Sauvegarde dans les registres, calcul d'adresse suivante : 0,3 ns ;

- a. Pour faire une architecture à plusieurs étages, il faut insérer des registres qui mémorisent ce qui se passe entre les étages. Du coup, le temps de stabilisation est prolongé de 0,1 ns pour chaque étage. Pour faire une architecture pipeline, quel est le temps de cycle qu'il faut choisir ?

Le temps de cycle choisi : $0.9 + 0.1 = 1.0$ ns

- b. On envisage une architecture superscalaire où toutes les unités sont dédoublées. Peut-on changer le temps de cycle ? Quel est le nombre d'instructions par cycle (IPC) et le débit d'instructions (Nbre d'instructions/s) ?

A chaque cycle, deux instructions se terminent (IPC=2).

Le débit d'instructions est de $10^9 \times IPC = 2 \times 10^9 = 2000$ MIPS

1+1+1

Exercice 5 : 5 points

- i) Combien de registres matériels sont requis pour permettre au renommage de registres de rompre toutes les dépendances EAL et EAE du jeu d'instructions suivant ?

```
LD r1, (r2)
ADD r3, r4, r1
SUB r4, r5, r6
MUL r7, r4, r8
OR r8, r9, r10
SUB r11, r8, r12
DIV r12, r13, r14
ST (r15), r12
```

Le fragment de code utilise 15 registres architecturaux. En outre, il existe 3 dépendances EAL entre :

ADD r3,r4,r1 et SUB r4,r5,r6 ; dépendance au niveau de r4

MUL r7, r4, r8 et OR r8, r9, r10 ; dépendance au niveau de r8

SUB r11, r8, r12 et DIV r12, r13, r14 ; dépendance au niveau de r12

Il n'y a pas de dépendance EAE dans ce code.

En conséquence, en tout 18 registres matériels sont requis pour que le renommage de registres puisse rompre toutes les dépendances du programme (15 pour les 15 registres architecturaux et 3 pour renommer chacun des registres concernés par les dépendances EAL).

ii) Etant donné la boucle ci-dessous, réécrire cette boucle en la déroulant 6 fois pour (j=0; j<100; j++){
 $Z[j] = X[j] + Y[j];$
}

```
pour (j=0; j<100; j+=6){
    Z[j] = X[j] + Y[j];
    Z[j+1] = X[j+1] + Y[j+1];
    Z[j+2] = X[j+2] + Y[j+2];
    Z[j+3] = X[j+3] + Y[j+3];
    Z[j+4] = X[j+4] + Y[j+4];
    Z[j+5] = X[j+5] + Y[j+5]
}
```

```
pour ((j=100/6)*6; j<100; j++){
    Z[j] = X[j] + Y[j];
}
```

iii) Nous souhaitons traiter 100 éléments d'un tableau A sous la forme d'un pipeline logiciel. Ajouter le prologue et l'épilogue à la boucle ci-dessous :

```
For (i=1, i < 98, i++) {
    store A[i]
    incr A[i+1]
    load A[i+2]
}
```

```
Load A[1] ;
Incr A[1] ;           Prologue
Store A[2] ;
```

```
For (i=1, i < 98, i++) {
    store A[i]
    incr A[i+1]
    load A[i+2]
}
```

```
Store A[100] ;      Epilogue
```

1.75+1.75+1.5

Exercice 6 : 2 point

- a) Donner une technologie permettant une reconfiguration dynamique de FPGA

Technologie SRAM

- b) Comment réduit-on le time to market dans le développement de systèmes matériel/logiciel (en 2 lignes au maximum).

Le time to market peut être réduit en recourant à une méthodologie alternative telle que le codesign hw/sw et à la réutilisation à base d' IPs

1+1

Heureux dans la vie, celui qui a, toujours, su rester en paix avec sa conscience. (T-H Ferhat)

Buona fortuna !