

Les différentes descriptions d'une architecture

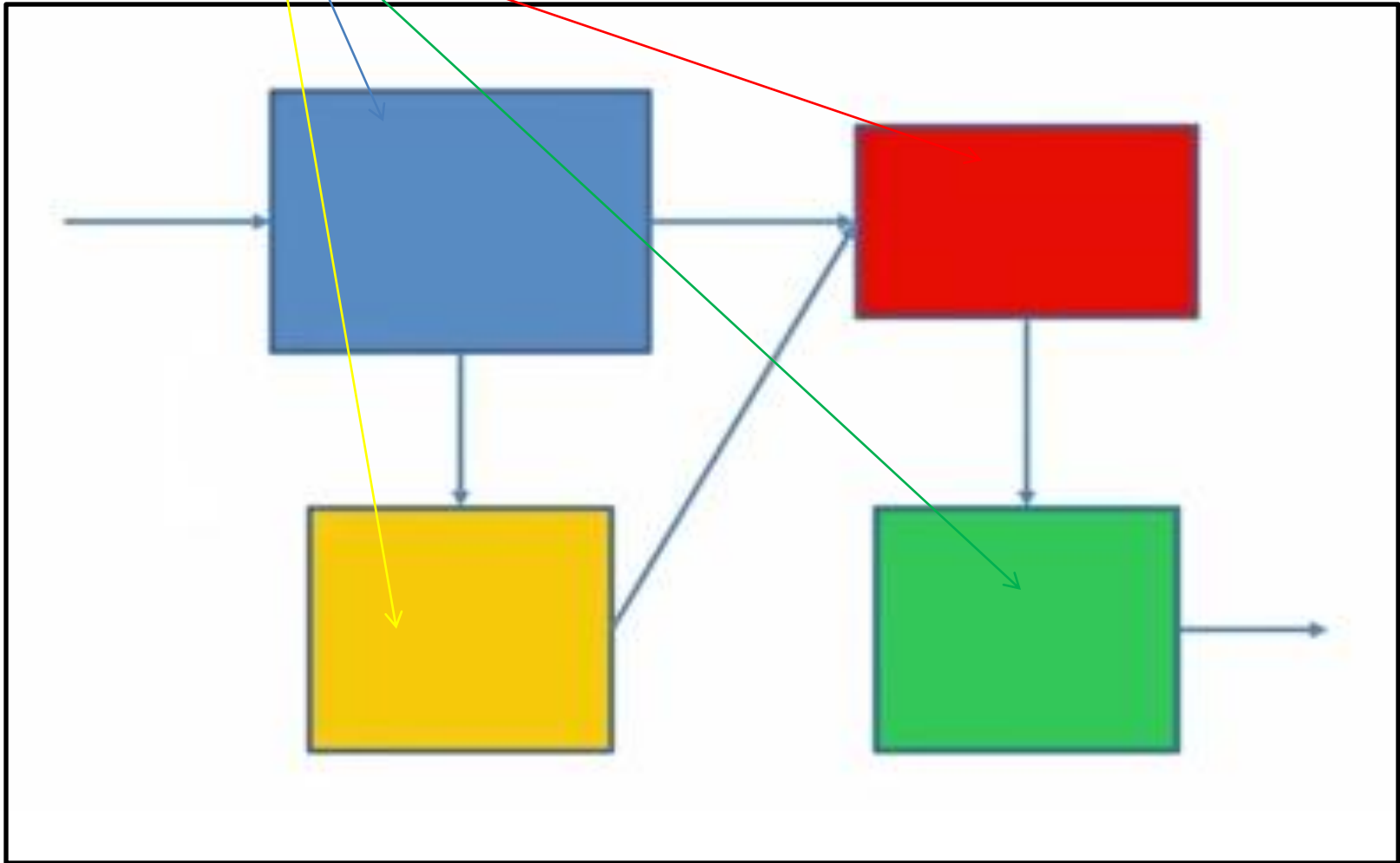
- ✓ Structurelle
- ✓ Par flot de données
- ✓ comportementale

Description structurelle

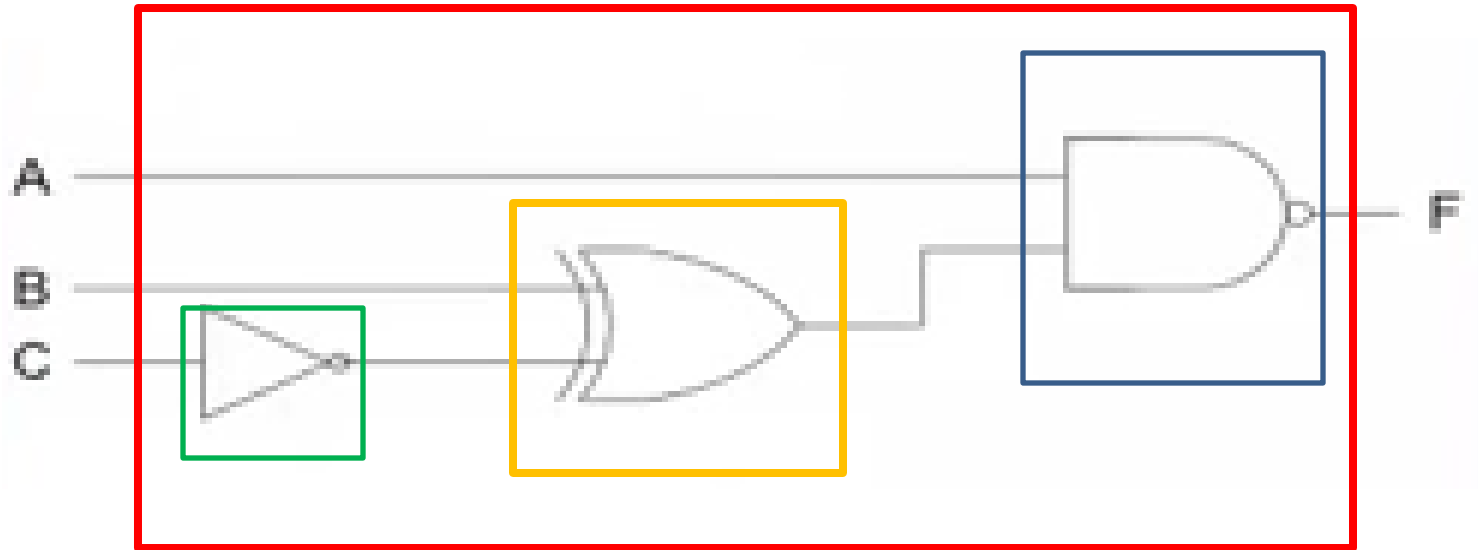
- Un circuit numérique peut être défini par sa structure, c'est à dire par un assemblage de blocs.
- Une description structurelle correspond à une description par schéma, où les instanciations des composantes et leurs interconnexions sont énumérées avec du texte.
- Une description structurelle est appropriée pour relier différents sous-systèmes d'un circuit numérique.

Blocs (sous-systèmes)

Circuit numérique



Exemple de description structurelle



```
entity NAND2 is
  port (
    I0, I1 : in std_logic;
    O : out std_logic
  );
end NAND2;
```

```
architecture arch of NAND2 is
begin
  O <= not (I0 and I1);
end arch;
```

```
entity XOR2 is
  port (
    I0, I1 : in std_logic;
    O : out std_logic
  );
end XOR2;
```

```
architecture arch of XOR2 is
begin
  O <= I0 xor I1;
end arch;
```

```
entity INV is
  port (
    I : in std_logic;
    O : out std_logic
  );
end INV;
```

```
architecture arch of INV is
begin
  O <= not I;
end arch;
```

```
library ieee;
use ieee.std_logic_1164.all;

entity combinatoire1 is
    port (
        A, B, C : in std_logic;
        F : out std_logic
    );
end combinatoire1;
```


architecture structurelle of combinatoire1 is

component INV

```
port (I: in std_logic; O: out std_logic);
```

end component;

component NAND2

```
port (I0, I1: in std_logic; O: out std_logic);
```

end component;

component XOR2

```
port (I0, I1: in std_logic; O: out std_logic);
```

end component;

```
signal S1, S2 : std_logic;
```

Begin

```
U1: NAND2 port map (I0 => S2, I1 => A, O => F);
```

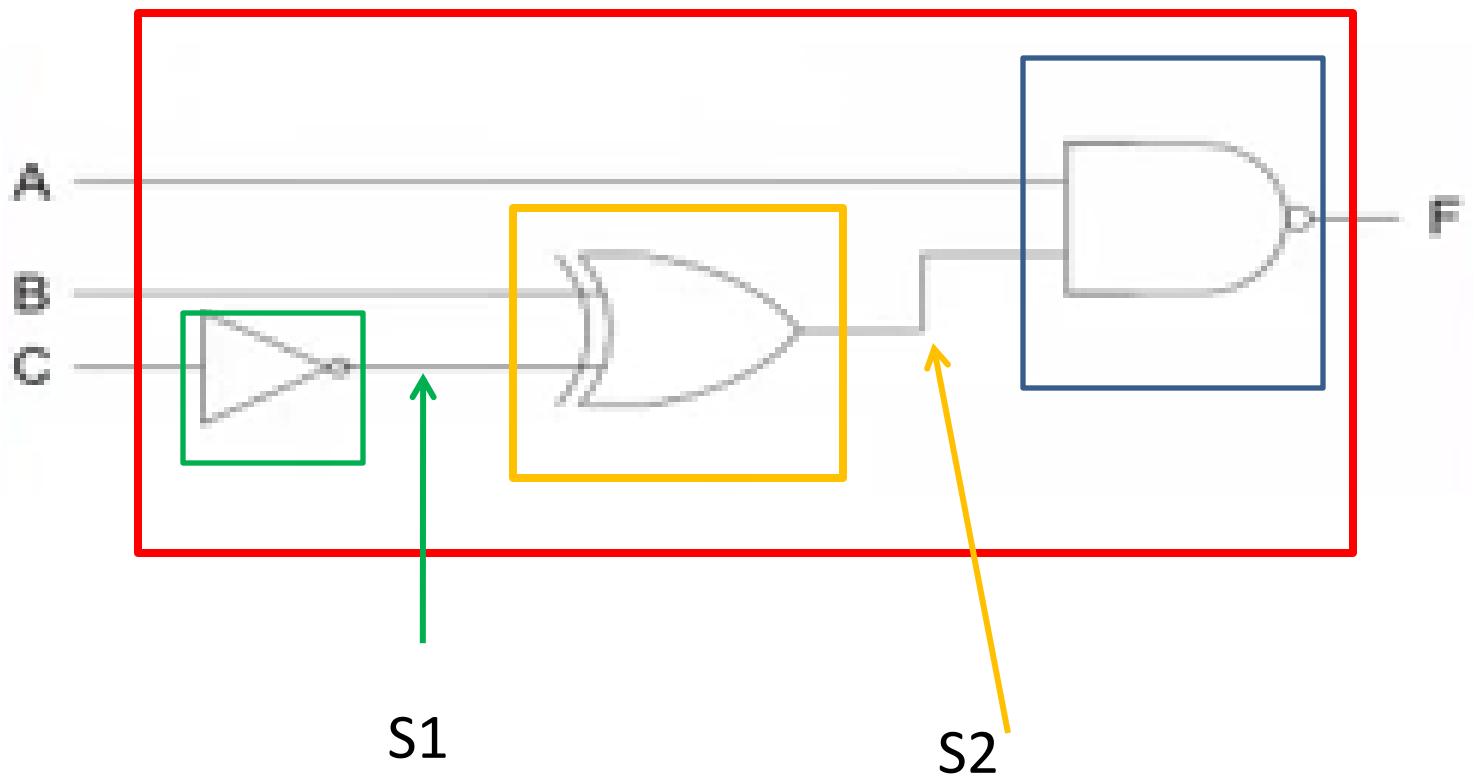
```
U2: XOR2 port map (I0 => S1, I1 => B, O => S2);
```

```
U3: INV port map (I => C, O => S1);
```

end structurelle;

Instanciation
de composants

Exemple de description structurelle



Description par flot de données

- Le modèle d'un circuit par flot de données décrit sa fonction sans nécessairement définir sa structure.
- Les valeurs des signaux et des ports du circuits sont établies par des affectations concurrentes de valeurs.
- Trois types d'énoncés concurrents:
 - Avec des opérateurs logiques:
and, or, nand, nor, xor, xnor, not
 - Selection (équivalent à un énoncé case):
With-select
 - Conditionnel (équivalent à un if else):
When-else

Avec des opérateurs logiques

```
library ieee;
use ieee.std_logic_1164.all;

entity combinatoire1 is
    port (
        A, B, C : in std_logic;
        F : out std_logic
    );
end combinatoire1;

architecture flotdedonnees1 of combinatoire1 is
begin
    F <= not(A and (B xor (not C)));
end flotdedonnees1;
```

Sélection

architecture flotdedonnees2 of combinatoire1 is
signal entree : std_logic_vector (2 downto 0);

begin

entree <= (A,B,C);

with entree select

F <=

'1' when "000" ;

'1' when "001" ;

'1' when "010" ;

'1' when "011" ;

.....

.....

'0' when others ;

end flotdedonnees2;

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Enoncé conditionnel

```
architecture flotdedonnees3 of combinatoire1 is  
begin  
    F <= '1' when (A = '0' or B/= C ) else '0';  
end flotdedonnees3;
```