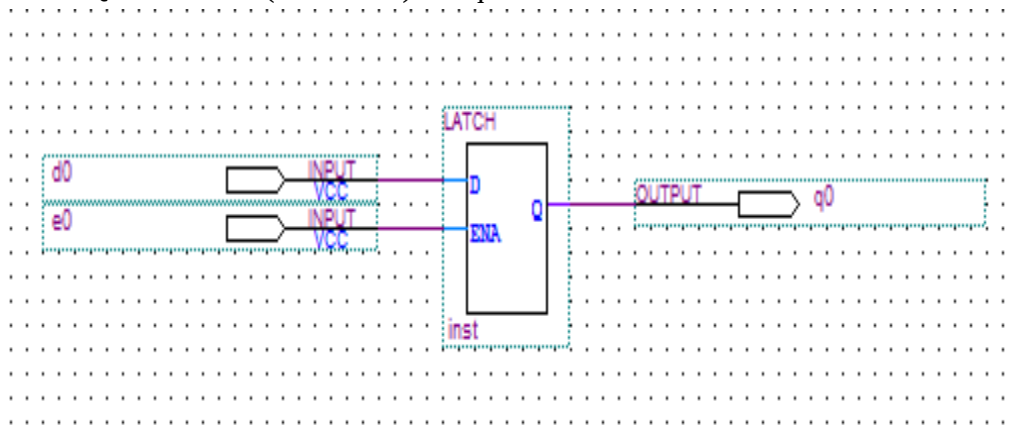


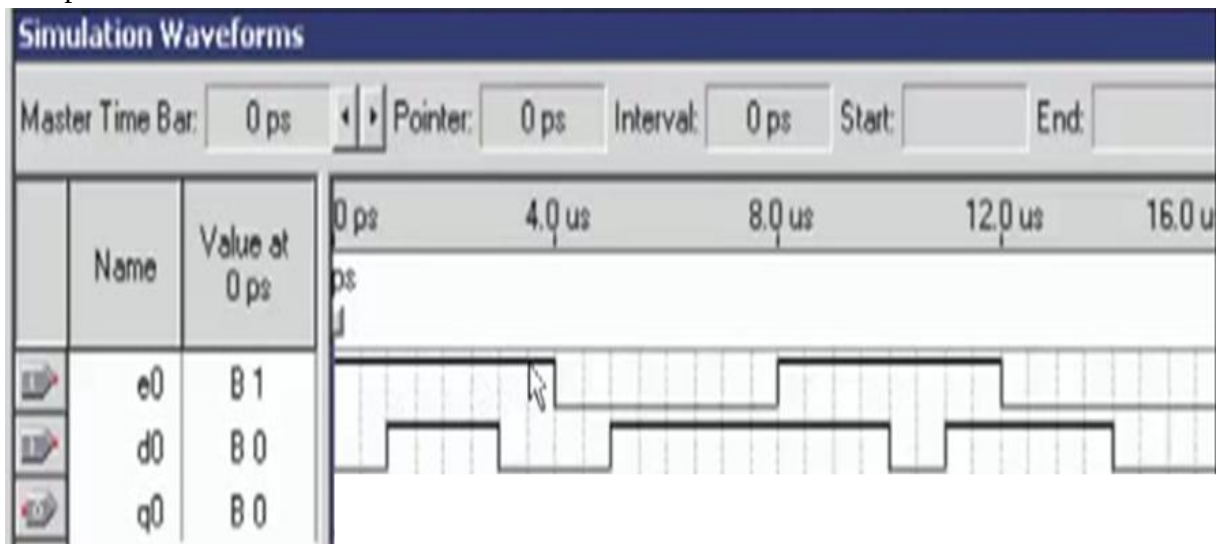
EX 1 :

Le "latch" D permet de passer l'état binaire présent sur son entrée D à sa sortie Q lorsque "enable" est à un état haut.

La valeur de Q est stockée (conservée) lorsque "enable" est à l'état bas.

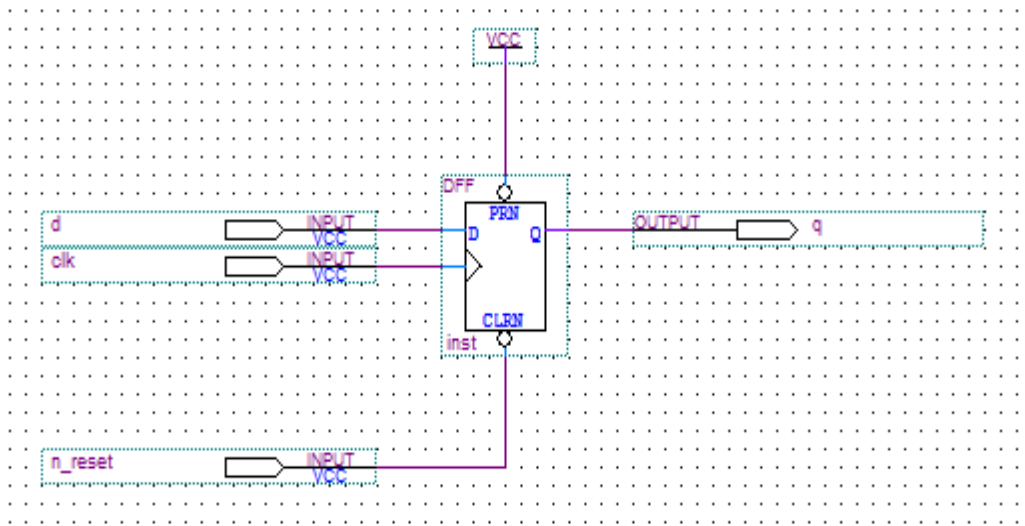


- 1) Donner la description VHDL du latch D.
- 2) Compléter ce schéma de simulation du circuit décrit.

**EX 2 :**

Une bascule D mémorise le niveau logique présent sur l'entrée D au moment d'un front montant ou descendant de l'horloge.

Les bascules D peuvent aussi avoir des entrées asynchrones «set» et «reset»



- 1) Donner la description VHDL de la bascule D fonctionnant sur front montant de l'horloge et possédant une entrée asynchrone reset active à l'état bas.
- 2) Compléter le chronogramme suivant qui simule le fonctionnement de la bascule D

