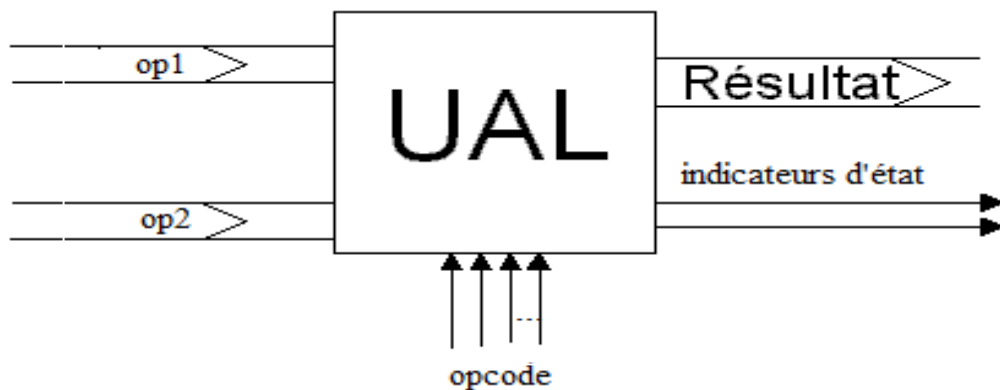


**EX 1 :**

- 1) Ecrire, en VHDL, un compteur synchrone modulo 2, fonctionnant sur front descendant de l'horloge.
- 2) Utiliser ce composant pour créer un diviseur d'horloge (synthétiseur de fréquence) générant les fréquences suivantes ( $f_e/4$ ,  $f_e/8$  et  $f_e/16$ ).

**EX 2 :**

Décrire, en VHDL, le fonctionnement d'une unité arithmétique et logique (UAL) à 8 bits dont bloc UAL se présente comme suit:



La table suivante montre les opérations de l'UAL :

| opcode (code opératoire) sur 11 bits | résultat                           |
|--------------------------------------|------------------------------------|
| 000XXXXXXXXX                         | $op1 + op2$                        |
| 001XXXXXXXXX                         | $op1 - op2$                        |
| 010XXXXXXXXX                         | $op1 \text{ AND } op2$             |
| 011XXXXXXXXX                         | $op1 \text{ OR } op2$              |
| 100 XXXXXXXX                         | $op1 + \text{XXXXXXXX}$            |
| 101 XXXXXXXX                         | $op1 - \text{XXXXXXXX}$            |
| 110 XXXXXXXX                         | $op1 \text{ AND } \text{XXXXXXXX}$ |
| 111 XXXXXXXX                         | $op1 \text{ OR } \text{XXXXXXXX}$  |

Toute opération de l'UAL s'effectue sur front montant de l'horloge.

Les indicateurs d'état sont au nombre de 2 et font partie d'un registre d'état:

- N=1 indique que le résultat est négatif, et
- Z=1 signale un résultat nul.

**EX 3 :**

Décrire en VHDL, un compteur modulo 16 fonctionnant sur front montant de l'horloge.

