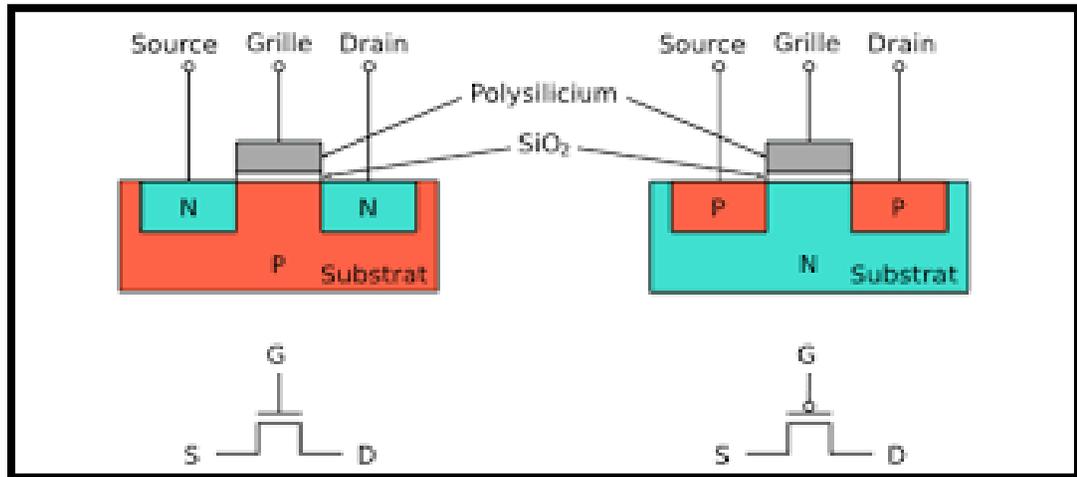


Chapitre 5. Circuits de la famille CMOS

1. Portes logiques P-MOS et N-MOS

1.1 Portes logiques P-MOS :

- **Structure :**
 - Le canal est constitué de dopage **type P** (Utilise des transistors **MOSFET canal-P**).
 - Les électrodes sont **Source (S)**, **Drain (D)** et **Grille (G)**.

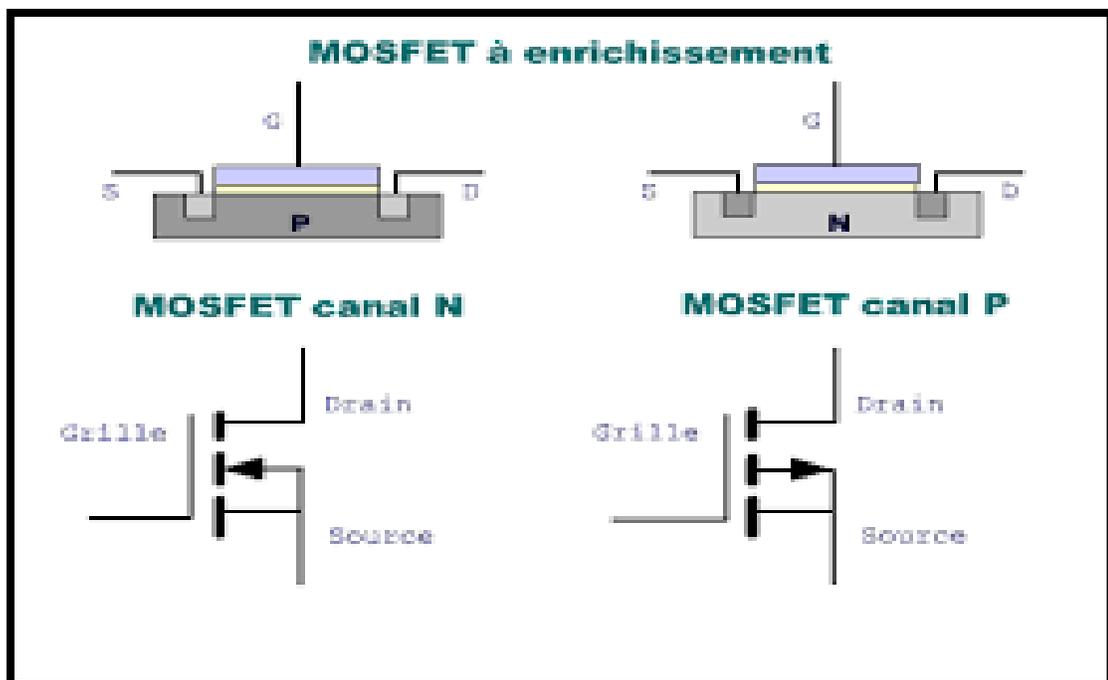


- La conduction se produit lorsque la tension de grille est **basse** (logique 0).
- **Logique inverse** : Les sorties logiques produites sont souvent inversées, ce qui rend nécessaire l'utilisation d'autres portes pour obtenir des sorties correctes.
- **Avantages** : Simple à fabriquer.
- **Inconvénients** : Plus lente que la logique N-MOS.

- **Domaine d'application** : Utilisé dans des technologies plus anciennes ou pour des applications spécifiques à faible coût.

1.2 Portes logiques N-MOS :

- **Structure** :
 - Canal constitué de dopage **type N** (Utilise des transistors MOSFET canal-N).
 - Conduction se produit lorsque la tension de grille est **haute** (logique 1).
- **Avantages par rapport au P-MOS** :
 - Plus rapide, car les électrons (porteurs majoritaires) ont une meilleure mobilité que les trous.
- **Inconvénients** : Consomme de l'énergie en mode statique, car le courant de fuite existe (Consomme de l'énergie même au repos).



2. Logique MOS complémentaire (CMOS)

- **Principe** :

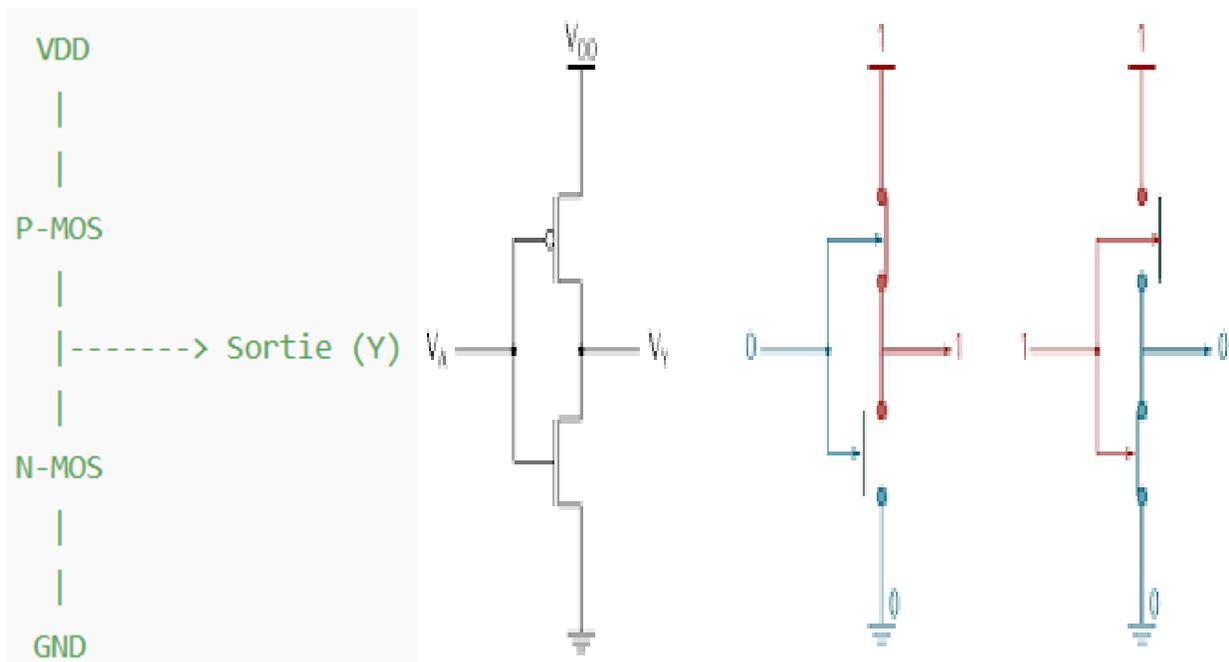
CMOS (Complementary Metal-Oxide-Semiconductor) utilise des transistors N-MOS et P-MOS connectés en complémentarité :

- Quand un transistor est **ON**, l'autre est **OFF**.
- La consommation d'énergie est quasi nulle en mode statique (état stable).

- **Exemple : Porte NOT en CMOS**

-Une porte NOT en CMOS utilise :

- Un transistor **P-MOS** (pull-up) connecté entre la sortie et VDD (tension d'alimentation positive).
- Un transistor **N-MOS** (pull-down) connecté entre la sortie et GND (masse).

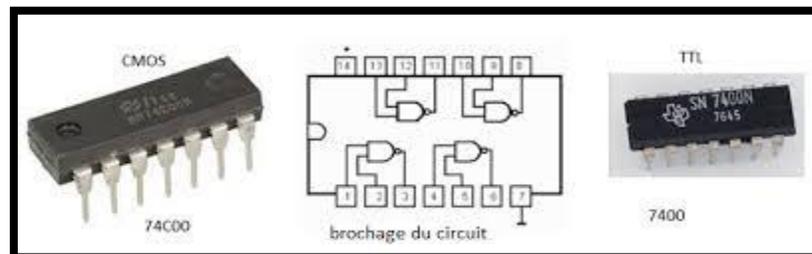


- P-MOS en haut, connecté à VDD.
- N-MOS en bas, connecté à la masse GND.
- **Fonctionnement :**
 - Si l'entrée est 0 : Le P-MOS est conducteur (ON), et le N-MOS est bloqué (OFF). La sortie est tirée vers VDD (logique 1).
 - Si l'entrée est 1 : Le P-MOS est bloqué (OFF), et le N-MOS est conducteur (ON). La sortie est tirée vers GND (logique 0).
- **Avantages du CMOS :**
 - Faible consommation d'énergie en mode statique (au repos).
 - Haute densité d'intégration et performances élevées.
- **Inconvénients :**
 - Complexité de fabrication plus élevée que N-MOS ou P-MOS seuls.

3. Familles CMOS

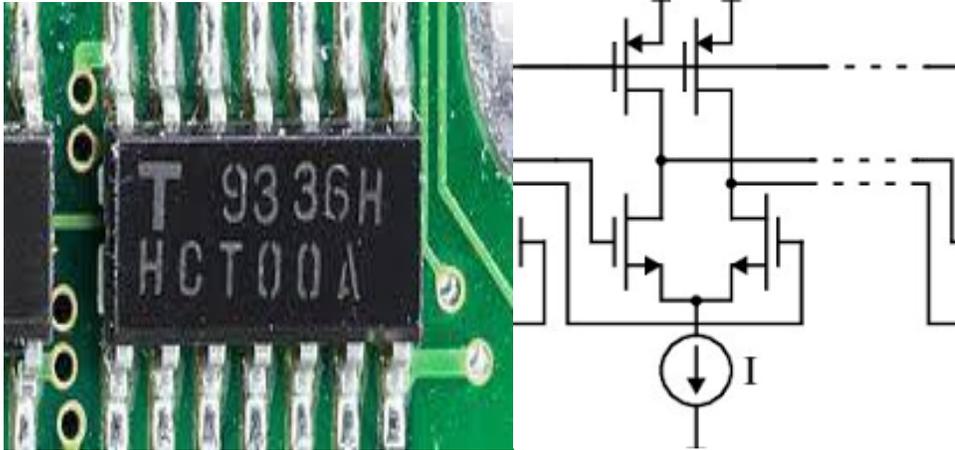
3.1 CMOS standard :

- La forme la plus courante, utilisée dans les circuits intégrés numériques tels que les microprocesseurs et mémoires.
- Avantages : Faible coût, faible consommation.
- Exemple : Série 4000 CMOS.



3.2 HCMOS (High-Speed CMOS) :

- Une version optimisée pour la vitesse.
- Idéale pour des systèmes nécessitant des temps de commutation courts.
- Applications : Circuits logiques de haute fréquence.



3.3 BiCMOS :

- Combine des transistors CMOS avec des **bipolaires** (BJT).
- Avantages :
 - Meilleure vitesse et puissance de sortie que le CMOS pur.
 - Consomme toujours moins d'énergie que le TTL.
- Utilisé dans les circuits analogiques/numériques mixtes.

3.4 Low-Power CMOS :

- Optimisé pour une consommation énergétique minimale (Conçue pour des appareils à faible consommation d'énergie comme les appareils mobiles).
- Utilisé dans les dispositifs portables, comme les montres intelligentes et les appareils IoT.

4. Caractéristiques électriques des circuits CMOS

4.1 Consommation d'énergie :

- La puissance statique est **quasi nulle** car il n'y a pas de courant direct entre VDD lorsque les transistors sont au repos.
- La puissance dynamique (pendant les transitions logiques) dépend de la fréquence d'horloge et de la capacité de charge.

4.2 Temps de propagation :

- Temps nécessaire pour qu'une entrée donnée produise une sortie correspondante.
- Dépend des tailles relatives des transistors (rapport W/L) et des capacités internes.

4.3 Sensibilité au bruit :

- Les circuits CMOS sont plus robustes que les TTL contre le bruit électrique, grâce à leur haute impédance d'entrée.
- Cependant, ils sont sensibles aux tensions parasites élevées (ESD).

5. Interfaçage TTL-CMOS

Défis :

5.1 Différence de niveaux logiques :

- CMOS : $V_{DD} = 5V$ ou moins.
- TTL : Logique haute à partir de 2.4V.
- Cette différence peut empêcher une communication fiable.



5.2 Faible capacité de courant de sortie TTL :

- Un circuit TTL peut ne pas pouvoir piloter correctement les entrées CMOS.

Solutions d'interfaçage :

1. **Convertisseurs de niveaux logiques** pour adapter les tensions entre TTL et CMOS.
2. **Résistances pull-up** pour tirer les signaux à un niveau CMOS compatible.
3. **Utilisation d'une famille compatible** : Certaines familles CMOS sont spécialement conçues pour être interfacées avec le TTL.

6. Précautions d'utilisation des circuits CMOS

- **Protection contre l'électricité statique l'ESD** : Les entrées des CMOS sont sensibles à l'électricité statique, nécessitant des circuits de protection comme des diodes de clamp.
- Ajouter des diodes de clamp sur les entrées.
- Manipuler les circuits avec des bracelets antistatiques.

Stabilisation de l'alimentation :

- Ajouter des condensateurs de découplage près des bornes VDD pour réduire les fluctuations de tension.

Éviter les charges capacitatives importantes :

- Les longues lignes de connexion augmentent la charge, ce qui peut ralentir les temps de commutation.

Applications pratiques des circuits CMOS

- **Microprocesseurs et mémoires** : Grâce à leur haute densité et faible consommation.
- **Appareils mobiles** : Leur faible consommation est cruciale pour les batteries.
- **Systèmes embarqués** : Intégration dans des appareils nécessitant une consommation et une taille réduites.