

## SYLLABUS

### Matière : Electronique numérique avancée : VHDL et FPGA

Domaine : Sciences et Technologies

Filière : Electronique

Spécialité : Instrumentation

Semestre : S2

Année scolaire : 2024-2025

### Identification de la matière d'enseignement

#### Intitulé : Electronique numérique avancée : VHDL et FPGA

Unité d'enseignement: **UEF 1.2.2**

Nombre de Crédits: 4

Coefficient : 2

Volume horaire hebdomadaire total :

- Cours (nombre d'heures par semaine) : **01h30**
- Travaux dirigés (nombre d'heures par semaine) : 1h30
- Travaux pratiques (nombre d'heures par semaine) :

### Responsable de la matière d'enseignement

Nom, Prénom, Grade : Harize Saliha, Pr.

Localisation du bureau (Bloc, Bureau) : Bureau 14. Département d'électronique.

Email : shrz.dj@gmail.com.....

Tel (Optionnel) : .....

Horaire du cours et lieu du cours : Mercredi 8h-9h30, H16.

## Description de la matière d'enseignement

### Objectifs de l'enseignement :

Dans cette matière, les étudiants auront à étudier les différents types de circuits programmables, ainsi que les différentes méthodes de conception en particulier la programmation en utilisant les langages de description matérielle.

L'application du contenu de cette matière s'effectue au niveau de la matière « **UEM1.1 : TP FPGA & VHDL** ».

### Connaissances préalables recommandées :

Electronique numérique (combinatoire et séquentielle)

## Contenu de la matière d'enseignement

### Chapitre 1. Notion de base sur les circuits programmables (1 semaine)

- Architecture générale des circuits logiques programmables : PAL, GAL, PLD, CPLD
- Exemples de constructeurs et outils de programmation : Altera Quartus II, Xilinx ISE

### Chapitre 2. Programmation en VHDL (5 semaines)

- Historique du VHDL.
- Comparaison entre le VHDL et les langages de programmation.
- Différentes descriptions d'une architecture : flot de données, comportemental, structurel.
- Identificateurs et sensibilité à la majuscule.
- Commentaires.
- Représentation des nombres en VHDL
- Structure générale d'un code VHDL : Bibliothèque, Entité, Ports, Architecture.
- Types de données : prédéfinis, définis par l'utilisateur
- Opérateurs : logique, relationnel, de décalage, de concaténation
- Attributs des signaux : EVENT, ...
- Signal, variable et constant
- Process
- Component
- Instruction IF-THEN-ELSE

- Instruction CASE-WHEN
- Instruction WHEN-ELSE
- Instruction WITH-SELECT-WHEN

### Chapitre 3. Applications sur les circuits FPGA

(5 semaines)

- Multiplexeur
- Bascule D
- Additionneur
- Compteur universel avec actions : activation, remise-à-zéro, charge (load).
- Diviseur de fréquence.
- Gestion de la fréquence avec des boutons : sélection, division
- Décodeur 7 segments,
- Affichage série sur plusieurs 7 segments.
- Unité arithmétique-logique 8-bit
- Compateur 8-bits

### Chapitre 4. Conception avancée avec les machines à nombre d'états fini (FSM) (4 semaines)

- Introduction : structure de Mealy et Moore
- Représentation d'une machine FSM
- Exemples de conception de FSM

### Modalités d'évaluation

Nature du contrôle	Pondération en %
Examen	60
Micro – interrogation	30
Travaux dirigés	05
Travaux pratiques	
Projet personnel	
Travaux en groupe	
Sorties sur terrains	
Assiduité ( Présence /Absence)	05
Autres ( à préciser)	
<b>Total</b>	<b>100%</b>

## Références & Bibliographie

### Textbook (Référence principale) :

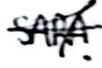
- [1].Volnei A. Pedroni, « Circuit Design with VHDL », MIT Press, 2004.  
 [2].Volnei A. Pedroni, « Circuit Design and Simulation with VHDL », 2ème édition, MIT Press, 2010.  
 [3].Bryan Mealy, Fabrizio Tappero, « Free Range VHDL », 2018  
 [4].Pong P. Chu, « FPGA prototyping by vhdlexamples : Xilinx Spartan™-3 Version », John Wiley & Sons, 2008.  
 [5].Jacques Weber , Sébastien Moutault, Maurice Meaudre, « Le langage VHDL : du langage au circuit, du circuit au langage », Dunod, 2007.  
 [6].Christian Tavernier, « Circuits logiques programmables », Dunod 1992.

## Planning du déroulement du cours

Semaine	Titre du Cours	Date
2-6/02/2025	<b>Chapitre 1. Notion de base sur les circuits programmables</b> - Architecture générale des circuits logiques programmables : PAL, GAL, PLD, CPLD	05/02
9-13/02/2025	- Exemples de constructeurs et outils de programmation : Altera Quartus II, Xilinx ISE	12/02
16-20/02/2025	<b>Programmation en VHDL</b> - Historique du VHDL. - Comparaison entre le VHDL et les langages de programmation. Différentes descriptions d'une architecture : flot de données	19/02
23-27/02/2025	Description comportementale et description structurelle	26/02
02-06/03/2025	- Identificateurs et sensibilité à la majuscule. - Commentaires. - Représentation des nombres en VHDL - Structure générale d'un code VHDL : Bibliothèque, Entité, Ports, Architecture.	05/03
09-13/03/2025	- Types de données : prédéfinis, définis par l'utilisateur - Opérateurs : logique, relationnel, de décalage, de concaténation - Attributs des signaux : EVENT, ... - Signal, variable et constant	12/03
16-20/03/2025	- Process - Component - Instruction IF-THEN-ELSE - Instruction CASE-WHEN	19/03

	<ul style="list-style-type: none"> <li>- Instruction WHEN-ELSE</li> <li>- Instruction WITH-SELECT-WHEN</li> </ul>	
21-05/04/2025	VACANCES DE PRINTEMPS	
06-10/04/2025	<b>Chapitre 3. Applications sur les circuits FPGA</b> <ul style="list-style-type: none"> <li>- Multiplexeur</li> <li>- Bascule D</li> <li>- Additionneur</li> <li>- Compteur universel avec actions : activation, remise-à-zéro, charge (load).</li> </ul>	09/04
13-17/04/2025	<ul style="list-style-type: none"> <li>- Diviseur de fréquence.</li> <li>- Gestion de la fréquence avec des boutons : sélection, division</li> </ul>	16/04
20-24/04/2025	<ul style="list-style-type: none"> <li>- Décodeur 7 segments,</li> <li>- Affichage série sur plusieurs 7 segments</li> </ul>	23/04
27/04- 01/05/2025	<ul style="list-style-type: none"> <li>- Unité arithmétique-logique 8-bits</li> </ul>	30/04
04-08/05/2025	<ul style="list-style-type: none"> <li>- Comparateur 8-bits</li> </ul>	07/05
11-15/05/2025	<b>Chapitre 4. Conception avancée avec les machines à nombre d'états fini (FSM)</b> <ul style="list-style-type: none"> <li>- Introduction : structure de Mealy et Moore</li> <li>- Représentation d'une machine FSM</li> </ul>	14/05
18-22/05/2025	<ul style="list-style-type: none"> <li>- Exemples de conception de FSM</li> </ul>	21/05

MASTER 1 : Instrumentation2024-2025

Matricule	Nom	Prénom	SIGNATURE
36044166	KHEMICI	Khouloud	
6028970	DHIFALLAH	Rafik	
36025988	ABBOUIZ	BADER EL BOUDOUR	
36040236	ADJEMI	Nour-el-houda	
36046132	ALIOUA	SOULEF	
36020638	BEGHILA	Rihab	
36021296	BENCHETIOUI	IHEB ABDELAZIZ	
36026909	BENDJEDDOU	RAZIKA	
36026656	CHAOUCHE	AYOUB	
36044824	DALI	AYOUB	
639396	DJELLAB	ABDELGHANI	
36026893	FERDI	MOHAMED	
36023105	GUEDIDI	SARA	
36025431	GUERBAZI	INES	
36043505	KAFI	Hadil	
36044596	KHENNOUCHI	FARES	
36021084	KHERAIF	MOHAMED ALAA	
36039629	MOUCI	Chaima	
32055580	RAMDANE	Mofdi abedelaziz	
36046797	REMADNIA	DOUNIA ZED	
36024645	RIHANI	WIAM	
36020989	SERAOUI	ALA EDDINE	
36020058	TORCHI	AMINE	
36044102	ZADI	OUMEYMA	
36048852	ZAMOUCHE	SEIF EDDINE	
36046257	ZERNIDJ	INES	
36019629	NECHMA	AKRAM	
36025091	BERRAHMOUNE	Salah	
36044349	MAHMOUDI	Med ihab	
36044286	HAMZA	Abdessalem	
36022304	Senhadji	Mohamed Wisssem Eckline	