

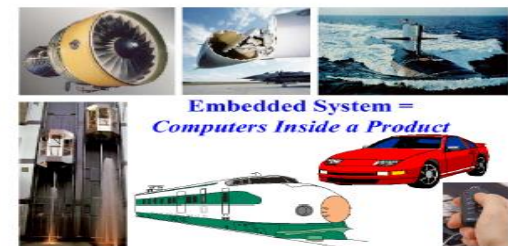
M1-SEM

Processseurs embarqués

TD 6

Superscalaire-VLIW

Année 2020-2021
Pr. R. BOUDOUR



Exécution des instructions IO et OOO

2

- L'un des compromis à effectuer entre complexité et performance des processeurs superscalaires consiste à savoir si le processeur doit exécuter les instructions:
 - ▣ dans l'ordre d'apparition dans le programme IO pour In-order
 - ▣ ou s'il peut les exécuter dans n'importe quel ordre sans modifier les résultats du programme : OOO pour Out-of-order ou désordre

Temps d'exécution sur processeur IO

3

- Combien de temps prendrait la séquence sur un processeur IO doté de deux unités d'exécution capables d'exécuter n'importe quel type d'instruction. Les opérations de chargement ont une latence de 2 cycles. Le pipeline a 5 étages :

LD r1, (r2)

ADD r3, r1, r4

SUB r5, r6, r7

MUL r8, r9, r10

Temps d'exécution sur processeur IO

4

- **Temps d'exécution = latence pipeline + temps total d'émission – 1**
 - latence pipeline = 5 cycles
 - temps total d'émission :
 - LD émise à n
 - ADD émise à n+2, ADD est dépendante de LD (LAE : LD-ADD, (r1))
 - SUB émise à n+2, (non à n ou n+1), indépendante de ADD et de LD
 - MUL, émise à n+3, indépendante des instructions précédentes (2 unités d'exécution)
 - temps total d'émission : 4 cycles
- **Temps d'exécution = 5 + 4 - 1 = 8 cycles**

Temps d'exécution sur processeur IO

5

- Combien de temps faut-il pour émettre les instructions du fragment suivant sur un processeur superscalaire IO doté de 4 unités d'exécution pouvant exécuter n'importe quel type d'instruction ? Les opérations de chargement ont une latence de 2 cycles. Les autres une latence d'un cycle :

```
ADD r1, r2, r3
SUB r5, r4, r5
LD r4, (r7)
MUL r4, r4, r4
ST (r7), r4
LD r9, (r10)
LD r11, (r12)
ADD r11, r11, r12
MUL r11, r11, r11
ST (r12), r11
```

Temps d'exécution sur processeur IO

6

- Cette séquence de code prendra 8 cycles à être émise, comme suit :

Cycle 1 : ADD r1, r2, r3	SUB r5, r4, r5	LD r4, (r7)	ADD r1, r2, r3
Cycle 2 : rien			SUB r5, r4, r5
Cycle 3 : MUL r4, r4, r4		(aléa LAE : MUL-LD , (r4))	LD r4, (r7)
Cycle 4 : ST (r7), r4	LD r9, (r10)	LD r11, (r12)	MUL r4, r4, r4
Cycle 5 : rien			ST (r7), r4
Cycle 6 : ADD r11, r11, r12			LD r9, (r10)
Cycle 7 : MUL r11, r11, r11			LD r11, (r12)
Cycle 8 : ST (r12), r11			ADD r11, r11, r12
			MUL r11, r11, r11
			ST (r12), r11

Temps d'exécution sur processeur IO

7

- Combien de temps faut-il pour émettre les instructions du fragment suivant sur un processeur superscalaire IO doté de 2 unités d'exécution pouvant exécuter n'importe quel type d'instruction ? Les opérations de chargement ont une latence de 3 cycles. Les autres une latence de 2 cycles. Nous supposons que ce processeur possède un pipeline à 6 étages.

```
LD r4, (r5)
LD r7, (r8)
ADD r9, r4, r7
LD r10, (r11)
MUL r12, r13, r14
SUB r2, r3, r1
ST (r2), r15
MUL r21, r4, r7
ST (r22), r23
ST (r24), r21
```

Temps d'exécution sur processeur IO

8

La latence du pipeline est de 6 cycles et la séquence de code nécessite 9 cycles pour être émise comme le montre la liste ci-dessous :

Cycle 1 : LD r4, (r5)	LD r7, (r8)	LD r4, (r5)
Cycle 2 : rien		LD r7, (r8)
Cycle 3 : rien		ADD r9, r4, r7
Cycle 4 : ADD r9, r4, r7	LD r10, (r11)	LD r10, (r11)
Cycle 5 : MUL r12, r13, r14	SUB r2, r3, r1	MUL r12, r13, r14
Cycle 6 : : rien		SUB r2, r3, r1
Cycle 7 : ST (r2), r15	MUL r21, r4, r7	ST (r2), r15
Cycle 8 : ST (r22), r23		MUL r21, r4, r7
Cycle 9 : ST r24, r21		ST (r22), r23
		ST (r24), r21

Par conséquent, le temps d'exécution de la séquence est de :

$$6 + 9 - 1 = 14 \text{ cycles}$$

Temps d'exécution sur processeur IO

9

□ Unités d'exécution restreintes

- Combien de temps faut-il pour émettre les instructions de l'exemple précédent si le processeur est limité de la manière suivante : une seule opération mémoire (chargement ou stockage) peut être émise par cycle et une seule opération non mémoire peut être émise par cycle (En d'autres termes, l'une des unités d'exécution ne peut exécuter que des opérations mémoire, l'autre que des opérations non mémoire) ? Tous les autres paramètres sont identiques à ceux de l'exemple précédent.

```
LD r4, (r5)
LD r7, (r8)
ADD r9, r4, r7
LD r10, (r11)
MUL r12, r13, r14
SUB r2, r3, r1
ST (r2), r15
MUL r21, r4, r7
ST (r22), r23
ST (r24), r21
```

Temps d'exécution sur processeur IO

10

La latence du pipeline est de 6 cycles et la séquence de code nécessite 11 cycles pour être émise comme le montre la liste ci-dessous :

Cycle 1	: LD r4, (r5)	
Cycle 2	: LD r7, (r8)	LD r4, (r5)
Cycle 3	: rien	LD r7, (r8)
Cycle 4	: rien	ADD r9, r4, r7
Cycle 5	: ADD r9, r4, r7	LD r10, (r11)
Cycle 6	: MUL r12, r13, r14	MUL r12, r13, r14
Cycle 7	: SUB r2, r3, r1	SUB r2, r3, r1
Cycle 8	: rien	ST (r2), r15
Cycle 9	: ST (r2), r15	MUL r21, r4, r7
Cycle 10	: ST (r22), r23	ST (r22), r23
Cycle 11	: ST r24, r21	ST (r24), r21

Par conséquent, le temps d'exécution de la séquence est de :

$$6 + 11 - 1 = 16 \text{ cycles}$$

Temps d'exécution sur processeur OOO

11

- Combien de temps prendrait la séquence sur un processeur OOO doté de deux unités d'exécution capables d'exécuter n'importe quel type d'instruction. Les opérations de chargement ont une latence de deux cycles et les autres un cycle. Le pipeline a 5 étages :

LD r1, (r2)

ADD r3, r1, r4

SUB r5, r6, r7

MUL r8, r9, r10

Temps d'exécution sur processeur OOO

12

- Temps d'exécution = latence pipeline + temps total d'émission – 1 (**Algorithme glouton ou greedy alg.**)
 - ▣ latence pipeline = 5 cycles
 - ▣ temps total d'émission :
 - LD émise à n
 - SUB émise à n, indépendante de ADD et de LD
 - MUL, émise à n+1, indépendante des instructions précédentes (2 unités d'exécution)
 - ADD émise à n+2, ADD est dépendante de LD, aléa LAE (r1)
 - Temps total d'émission : 3 cycles
- Temps d'exécution = $5 + 3 - 1 = 7$ cycles



Any Questions