

Architecture des FPGA

Les éléments programmables sont à la base des caractéristiques des FPGA.

Le choix d'un PLD dépendra donc :

- La densité d'intégration.
- De la rapidité de fonctionnement.
- De la facilité de mise en œuvre (programmation, reprogrammation...).
- De la possibilité de maintien de l'information.

I. Structure des FPGA

Les FPGA à la différence des CPLD sont assimilables à des ASIC programmables par l'utilisateur.

- La puissance de ces circuits est telle qu'ils peuvent être composés de plusieurs milliers voire des millions de portes logiques et de bascules. Les dernières générations de FPGA intègrent même de la mémoire vive (RAM). Les deux plus grands constructeurs de FPGA sont XILINX et ALTERA.

- Ils sont composés de blocs logiques élémentaires (plusieurs milliers de portes) qui peuvent être interconnectés.

- Critère de choix : vitesse de fonctionnement plus élevées pour les CPLD.

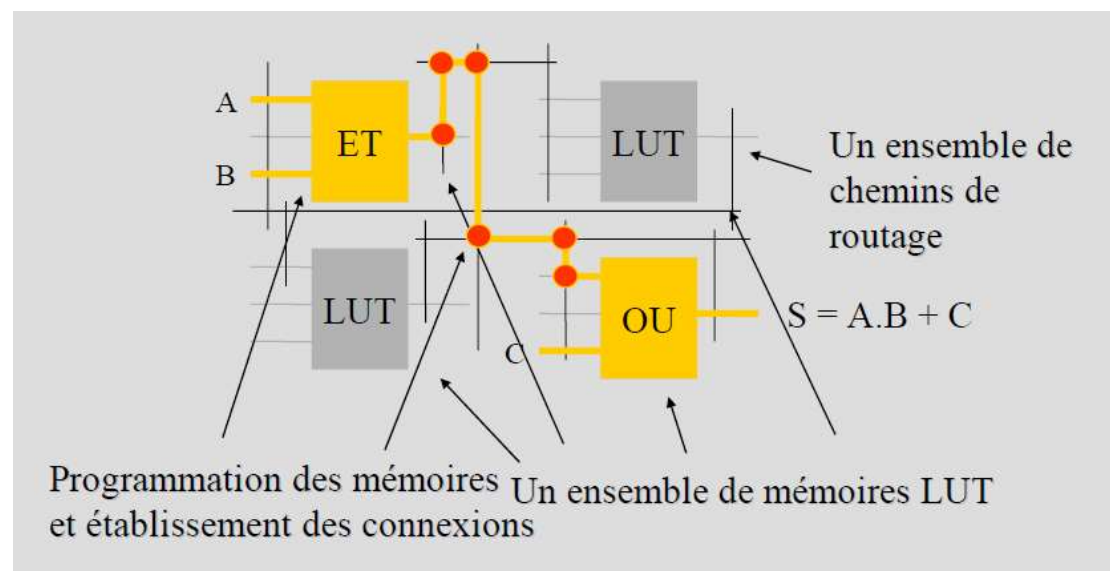


Figure 01 : Structure d'un circuit FPGA

La structure des LUT est caractérisée par une table de vérité ainsi qu'une mémoire pour router les différentes interconnexions entre les entrées et sorties des circuits FPGA. Dans la figure suivante nous allons voir deux types de circuit FPGA à deux dimensions et à mer de porte.

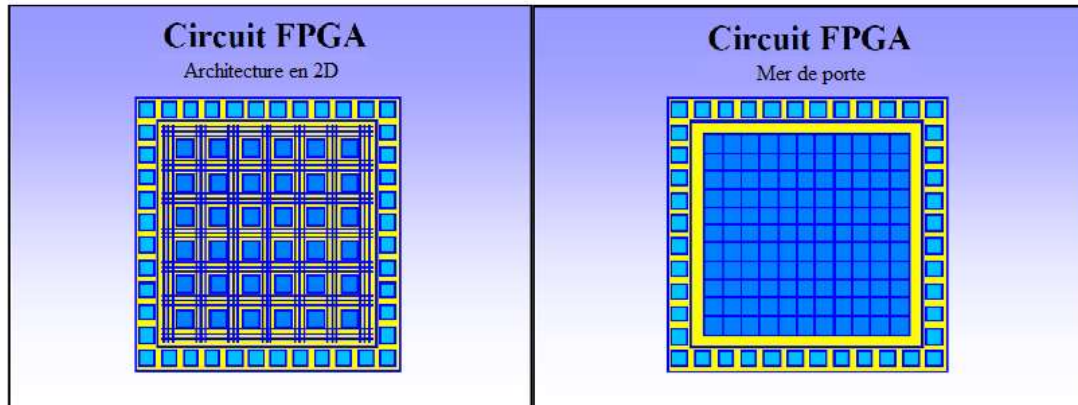


Figure 02 : Architecture en 2 dimension et à Mer de porte

Le FPGA est présenté pour la 1er fois par XILINX avec des structures :

- blocs logiques configurables.
- blocs d'I/O configurables.
- des interconnexions entre bloc configurables.

La figure 03, Nous montre un exemple d'un circuit FPGA créé par la société XILINX

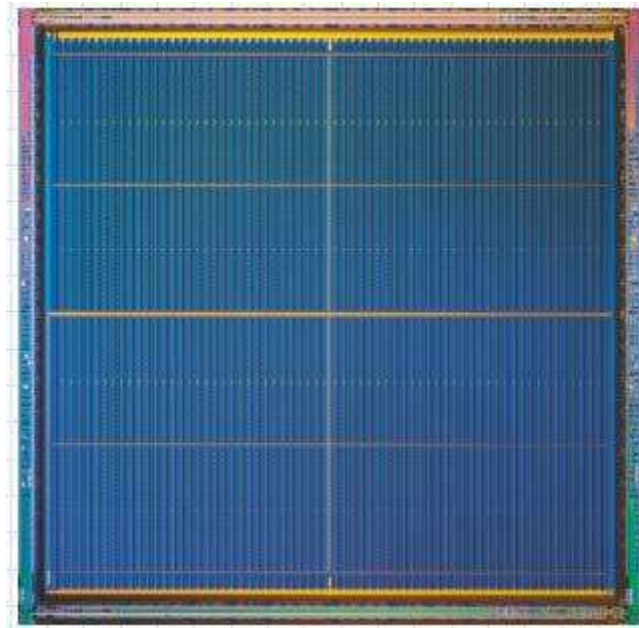


Figure 03 : circuit FPGA Xilinx virtex II

II. Architecture des circuits FPGA

Un FPGA est un réseau (matrice) de blocs combinatoires et séquentiels (CLB).

- Des blocs d'entrée/sortie (IOB) sont associés aux broches du circuit.
- Les CLB et IOB sont interconnectés entre eux par des dispositifs variés.
- Les matrices s'organisent de 8x8 à 128x120.

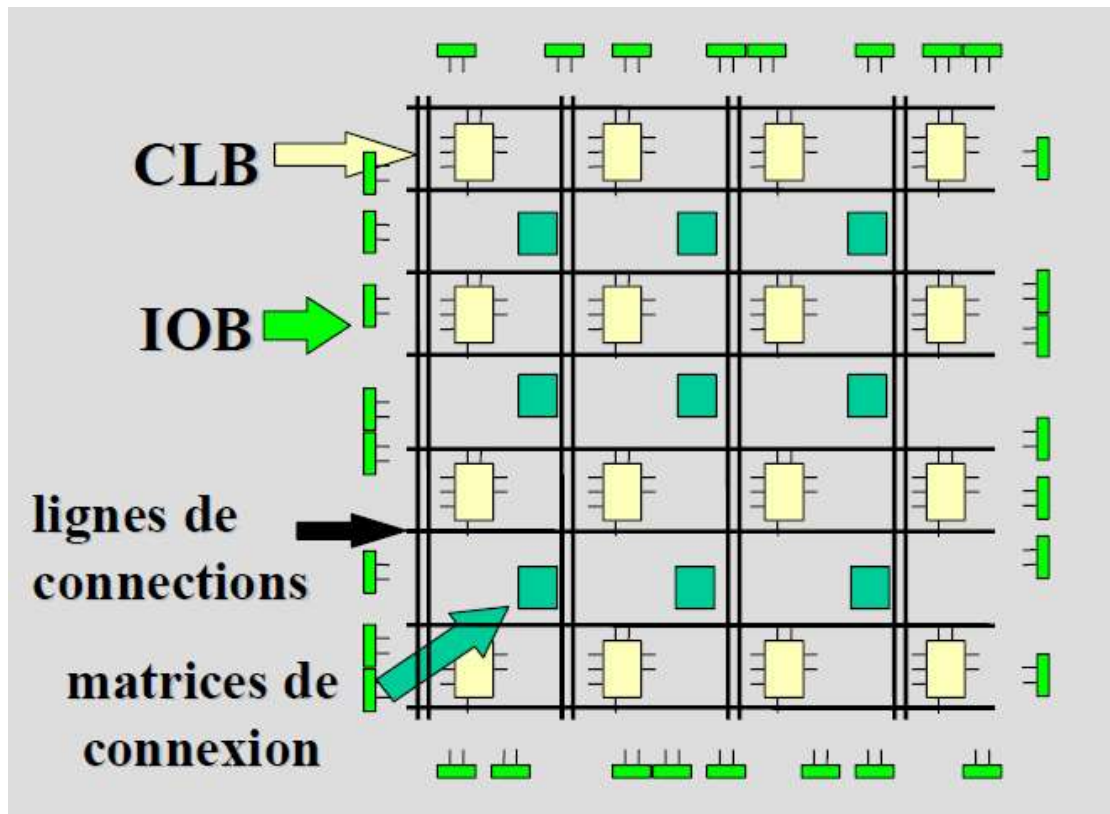


Figure 04 : Architecture générale d'un FPGA

Les Interconnexions

Il existe trois type d'interconnexions entre les différents blocs des circuits FPGA

- o Interconnexion directe : entre les différents blocs logiques.

- o Interconnexions par le biais d'une matrice.

- o Interconnexion par les grandes lignes relient tous les CLB dans les extrémités des circuits FPGA.

La figure 05 nous donne un récapitulatif des trois méthodes de connexion.

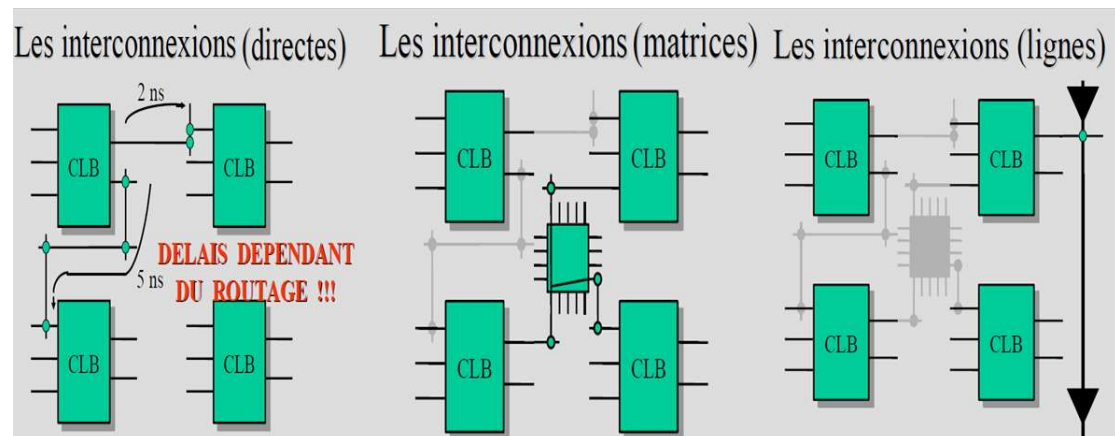


Figure 05: Les différentes méthodes d'interconnexions entres blocs logiques

Structure des CLB (CONFIGURABLE LOGIC BLOCS)

Une table de transcodage combinatoire (LUT) pouvant implanter :

- Deux fonctions indépendantes à 4 variables.
- Une fonction complète à 5 variables.
- Une fonction incomplète à 6 variables.

Elle permet aussi d'implanter, deux cellules séquentielles (bascules D) et des multiplexeurs de configuration.

La figure 06, nous montre un exemple d'un CLB SPARTRAN avec ses différents composants.

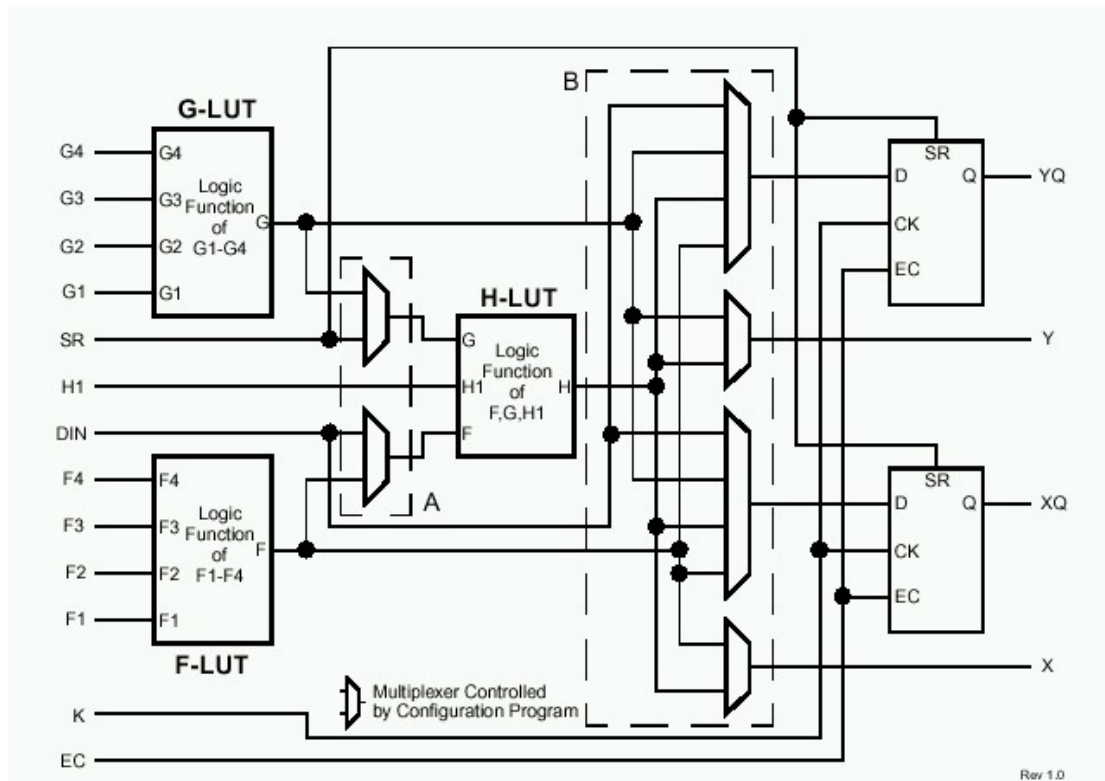


Figure 06 : Structure d'un CLB SPARTAN

Structure des IOB (INPUT/OUTPUT BLOCKS)

Les Ports d'entrées/sortie des circuits FPGA sont totalement programmables, et :

- Le seuil d'entrée est soit TTL ou CMOS.
- Le slew-rate est programmable (La vitesse de balayage ou Slew rate représente la vitesse de variation maximale que peut reproduire un amplificateur).
- Le buffer de sortie est programmable en haute impédance

- Les entrées et sorties sont directes ou mémorisées
- L'inverseur est aussi programmable.

La figure 07, nous montre un exemple des IOB SPARTAN avec ses différents composants.

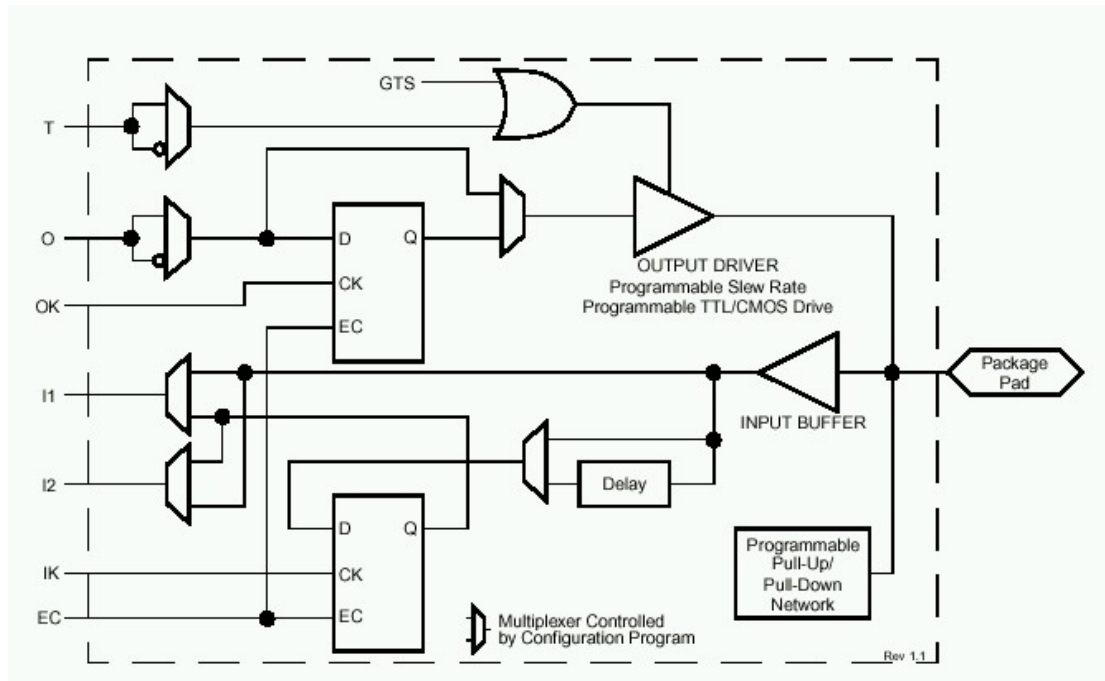


Figure 07 : Structure des IOB SPARTAN

Canaux de routage

Les canaux de routage sont présentés soit sous formes de 8 pour les interconnexions en matrices soit sous forme de doublé pour les interconnexions directes soit sous forme de 3 pour les grandes lignes comme le montre la figure suivante.

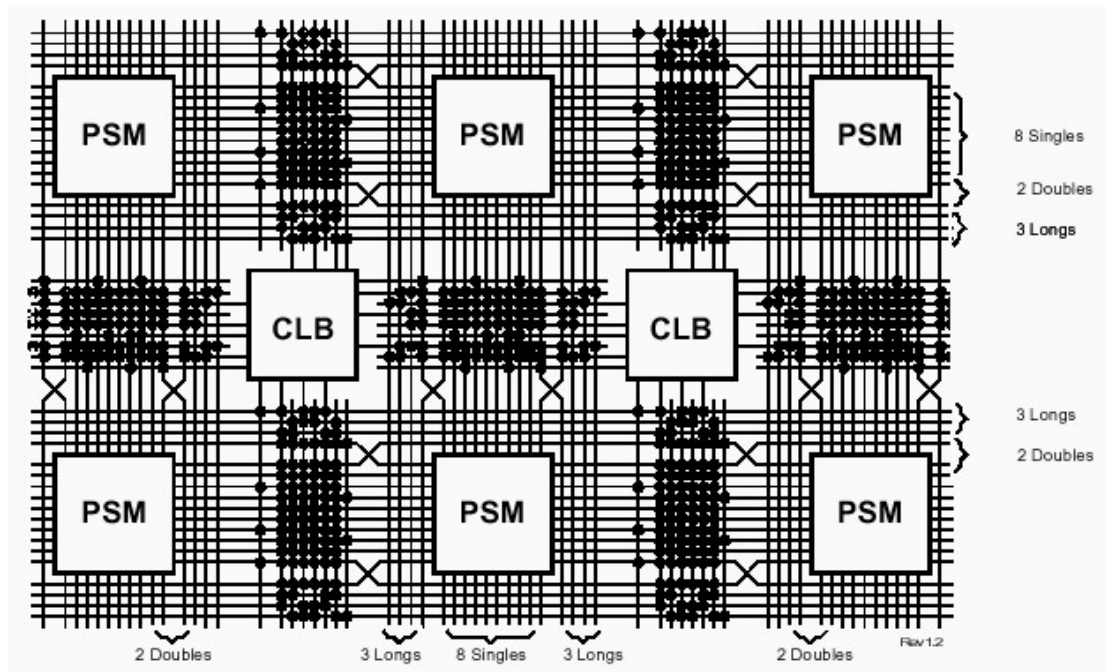


Figure 08 : canaux de routage dans un FPGA

III. Les éléments des FPGA

L'horloge :

Un élément essentiel pour le bon fonctionnement d'un système électronique. Les circuits FPGA sont prévus pour recevoir une ou plusieurs horloges. Des entrées peuvent être spécialement réservées à ce type de signaux. Ainsi que des ressources de routage spécialement adaptées au transport d'horloges sur de longues distances.

L'horloge est un oscillateur à quartz : Placé dans un angle de la puce, il peut être activé lors de la phase de programmation pour réaliser un oscillateur.

Il utilise deux IOB voisins, pour réaliser l'oscillateur. Cet oscillateur ne peut être réalisé que dans un angle de la puce où se trouve l'amplificateur prévu à cet effet. Il est évident que si l'oscillateur n'est pas utilisé, les deux IOB sont utilisables au même titre que les autres IOB.

Les Critères De Choix :

- o Coût de développement et fabrication : C'est le coût des dépenses engagées pour concevoir le système et réaliser les outils nécessaires à sa fabrication et son test.

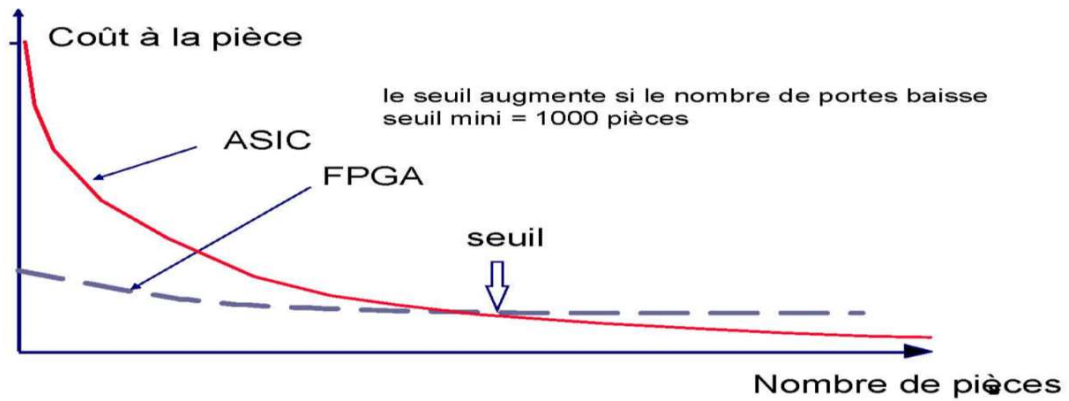


Figure 09 : Coût de développement et fabrication des technologies

o Temps de développement : Le temps de fabrication à l'aide d'un circuit FPGA se résume à sa programmation ce qui est négligeable. SPEC = Standard Performance Evaluation Corporation (licence ou cahier de charge des systèmes informatiques)

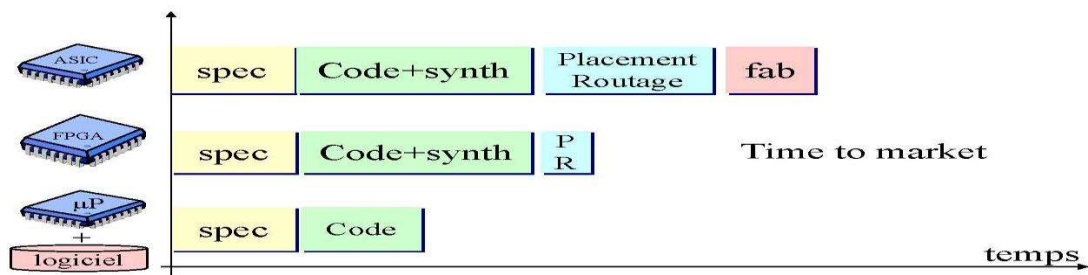


Figure 10 : temps de développement de différentes technologies

o Taille : Il y a une forte dépendance entre la taille du système et la densité d'intégration. L'augmentation de la densité d'intégration produit des systèmes de taille réduite.

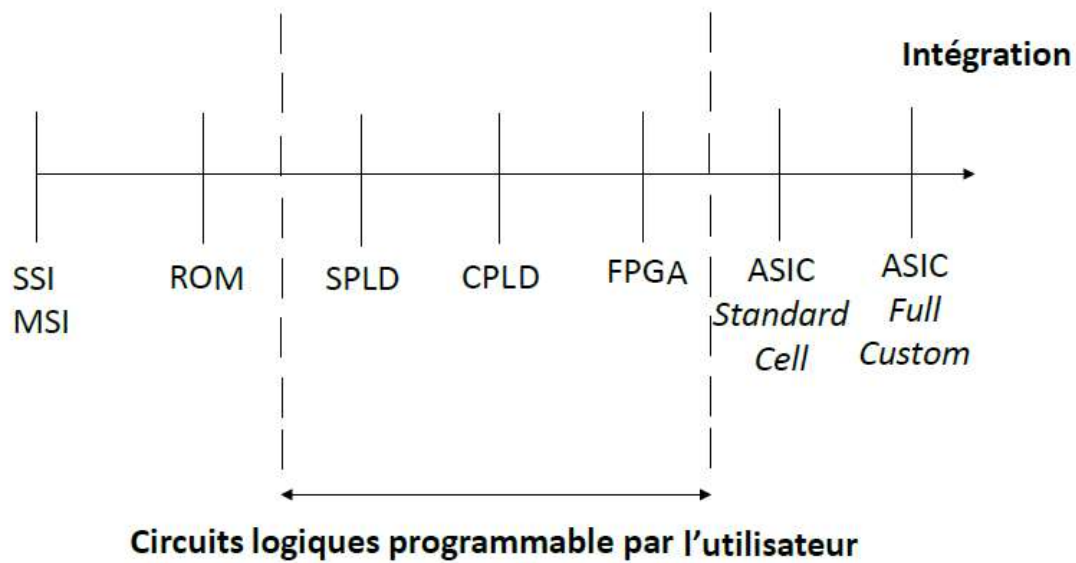


Figure 11: Taille des différentes technologies

- o Souplesse d'utilisation : Favorise les circuits programmables (SPLD, CPLD, FPGA) dont on peut modifier plus facilement des fichiers que des circuits.
- o Consommation : Critère particulièrement sensible dans les applications possédant une alimentation autonome. Il conduit à favoriser des solutions ASIC.
- o Vitesse de fonctionnement : Les CPLD sont des composants pour la plupart reprogrammables électriquement ou à fusibles, peu chers et très rapides (fréquence de fonctionnement élevée) mais avec une capacité fonctionnelle moindre que les FPGA.
- o Capacité mémoire: Les FPGA à SRAM contiennent des mémoires pour stocker leur configuration. La plupart des familles récentes offrent à l'utilisateur la possibilité d'utiliser certaines de ces mémoires en tant que telles.