



M1 - SEM

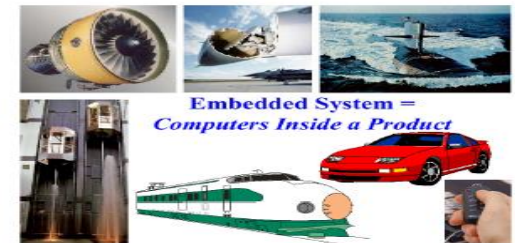
Processeurs Embarqués

TD 3

Conception de processeur

Année : 2022-2023

Pr *R. BOUDOUR*



Qu'est-ce que l'assembleur?

- a) Le programme qui traduit les instructions en représentation binaire
- b) Le programme qui traduit le code de haut niveau en code de bas niveau
- c) Les langages MIPS, ARM, x86
- d) Le programme qui prend les sources d'un projet en C et construit un exécutable
- e) Aucune de ces réponses

Que font les instructions MIPS suivantes :

```
add $t0, $s0, $zero
add $t0, $t0, $s1
add $t0, $t0, $s2
add $t0, $t0, $s3
add $t0, $t0, $s4
add $t0, $t0, $s5
add $t0, $t0, $s6
add $t0, $t0, $s7
srl $t1, $t0, 3
```

- a) Elles ne font rien.
- b) Elles calculent la somme de 8 nombres.
- c) Elles trient 8 nombres.
- d) Elles calculent la moyenne de 8 nombres.
- e) Elles trouvent le nombre le plus élevé parmi 8 nombres.
- f) Elles initialisent les registres sauvegardés.

Quelle est la représentation hexadécimale de l'instruction suivante, une fois encodée :

```
sub $t0, $s2, $s3
```

- a) 0x02534022
- b) 0x02724022
- c) 0x8A534000
- d) 0x8A724000
- e) 0x01129822

Quelle est l'utilité d'un circuit d'extension de signe?

- a) Effectuer un complément à 2 sur une valeur de 32 bits
- b) Effectuer un complément à 2 sur une valeur de 16 bits
- c) Calculer la valeur absolue d'une valeur sur 32 bits
- d) Calculer la valeur absolue d'une valeur sur 16 bits
- e) Préserver la valeur originale lorsque le signal passe de 32 bits à 16 bits
- f) Préserver la valeur originale lorsque le signal passe de 16 bits à 32 bits

Le résultat de l'exécution de l'instruction `xor $2,$3,$3` est :

- a) 3
- b) 6
- c) 0
- d) 1

Comment l'unité arithmétique et logique détermine la valeur qui résulte d'une instruction `slt`?

- a) C'est le résultat d'une soustraction
- b) C'est le bit de signe du résultat d'une soustraction
- c) C'est le résultat du décalage à gauche
- d) C'est toujours 1
- e) C'est toujours 0
- f) Cette instruction ne retourne aucune valeur

Combien de bits de contrôle sont nécessaires pour aiguiller les signaux d'un multiplexeur à 11 entrées?

- a) 1
- b) 2
- c) 3
- d) 4
- e) 5
- f) 6

Dans le processeur à un cycle, quel composant est responsable du décodage de l'instruction?

- a) La mémoire d'instructions
- b) La mémoire de données
- c) L'unité arithmétique et logique
- d) L'additionneur du Branch target
- e) Le contrôleur
- f) Le contrôleur de l'unité arithmétique et logique

Dans le processeur à un cycle, qu'est-ce qui détermine si l'on doit appliquer le *branch target* au registre PC?

- a) Le bit de contrôle Branch
- b) Le bit de contrôle MemWrite
- c) Les bits de contrôle Branch et zero
- d) L'unité arithmétique et logique
- e) Le contrôleur de l'unité arithmétique et logique
- f) Aucune de ces réponses

À quel moment le bit zero de l'unité arithmétique et logique est-il activé?

- a) Lorsque le premier opérande vaut zéro
- b) Lorsque le deuxième opérande vaut zéro
- c) Lorsque le résultat du calcul vaut zéro
- d) Lorsque le résultat du calcul est différent de zéro
- e) Lorsque les deux opérandes sont égaux
- f) Lorsque les deux opérandes sont différents

Dans le processeur à un cycle, quel bit de contrôle permet d'utiliser le champ rt comme registre de destination?

- a) RegDst
- b) Branch
- c) MemRead
- d) MemToReg
- e) ALUOp
- f) MemWrite
- g) ALUSrc
- h) RegWrite
- i) Jump

Dans le processeur à un cycle, quel bit de contrôle permet d'envoyer la valeur immédiate à l'unité arithmétique et logique?

- a) RegDst
- b) Branch
- c) MemRead
- d) MemToReg
- e) ALUOp
- f) MemWrite
- g) ALUSrc
- h) RegWrite
- i) Jump

Exercice 1

8

- 1) Quelles sont les principales différences entre la DRAM et la SRAM ?
- 2) Où utilise-t-on de la DRAM ?
de la SRAM ?
3. Quelle tâche réalise le séquenceur dans un processeur ?
4. Citer un processeur avec séquenceur câblé puis microprogrammé
5. Calculez les taux de transferts des bus mémoire suivants :

	<i>EDO</i>	<i>SDRAM</i>	<i>SDRAM PC100</i>	<i>SDRAM PC2100 (DDR)</i>
<i>Largeur du bus (bits)</i>	<i>32</i>	<i>64</i>	<i>64</i>	<i>64</i>
<i>Fréquence du bus (Mhz)</i>	<i>66</i>	<i>66</i>	<i>100</i>	<i>133</i>
<i>Taux de transfert (Mo/s)</i>				

Réponse 1

9

1. **La DRAM (Dynamic RAM) est basée sur des condensateurs qu'il faut rafraichir alors que la SRAM est basée des transistors qu'il suffit d'alimenter. Ce temps de rafraichissement fait que la DRAM est plus lente que la SRAM mais est moins coûteuse car elle utilise moins de transistors. Ce sont toutes les deux des mémoires volatiles.**
2. **La DRAM est utilisée dans la mémoire centrale
La SRAM plus cher mais plus rapide, est utilisée dans les mémoires caches.**
3. **Le séquenceur génère des signaux de contrôle pour piloter les éléments du chemin de données qui exécutent l'instruction.**
4. **MIPS : séquenceur câblé (RISC), X86 : séquenceur microprogrammé (CISC)**
5. **Taux des transferts de bus mémoire :**

	EDO	SDRAM	SDRAM PC100	SDRAM PC2100 (DDR)
Largeur du bus (bits)	32	64	64	64
Fréquence du bus (Mhz)	66	66	100	133
Taux de transfert (Mo/s)	266	533	800	2133

Exercice 2

10

- i) En partant à chaque fois du contenu de la table 1, donner le contenu des registres et des cases mémoire modifié après exécution des instructions MIPS ou séquences d'instructions.
Dans chaque cas, on considérera que l'instruction est à l'adresse 1000 0000h

- a) ADD R8, R3, R4
- b) AND R9, R3, R4
- c) XOR R10, R3, R4
- d) BGEZ R0, +10
- e) BGEZ R3, +10
- f) LW R11, (R1+8)
- g) SRL R12, R3, 8
- h) SRA R13, R3, 8

Registre	Contenu (hexa)
R0	00000000
R1	00001000
R2	00001016
R3	8432A380
R4	ECDF1234
R6	00000020
R7	00000030

Adresse (hexa)	Contenu (hexa)
00001000	00000001
00001004	00000002
00001008	FEDC8765
0000100C	000000A4
00001010	00000005
00001014	00000006

Réponse 2

11

- i) En partant à chaque fois du contenu de la table 1, donner le contenu des registres et des cases mémoire modifié après exécution des instructions MIPS ou séquences d'instructions.

Dans chaque cas, on considérera que l'instruction est à l'adresse 1000 0000h

- a) ADD R8, R3, R4 R8 = 7111B5B4
- b) AND R9, R3, R4 R9 = 84120200
- c) XOR R10, R3, R4 R10 = 68EDB1B4
- d) BGEZ R0, +10 // 10 est un nombre d'instructions CP = 1000 002C
- e) BGEZ R3, +10 CP = 1000 0004
- f) LW R11, (R1+8) R11 = Mem(1008) = FEDC8765
- g) SRL R12, R3, 8 R12 = 008432A3
- h) SRA R13, R3, 8 R13 = FF8432A3

Exercice 2

12

- ii) Ecrire l'instruction ou la séquence d'instructions correspondante :
- Mettre 1 dans le registre R1
 - Mettre à zéro les 4000 octets commençant à l'adresse mémoire F0000000H (en supposant que le registre R2 contient F0000000H)

Réponse 2

13

ii) Ecrire l'instruction ou la séquence d'instructions correspondante :

- Mettre 1 dans le registre R1

ADDI R1,R0,1

Réponse 2

14

ii) Ecrire l'instruction ou la séquence d'instructions correspondante :

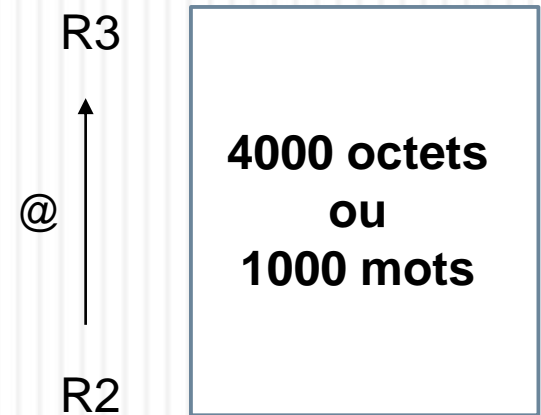
- Mettre à zéro les 4000 octets commençant à l'adresse mémoire F0000000H (en supposant que le registre R2 contient F0000000H)

ADDI R3,R2,4000

Boucle: SW R0,(R2)

ADDI R2,R2,4

BNEQ R2,R3,Boucle



Exercice 3

15

Soit la suite d'instructions suivante :

add \$9, \$0, \$0

Boucle: lw \$10, 1000(\$9)

add \$10, \$10, \$2

sub \$10, \$10, \$0

sw \$10, 1000(\$9)

add \$9, \$9, \$3

beq \$9, \$4, Boucle

j Fin

Supposons que le corps de la boucle s'effectue K fois, i.e., K itérations sont effectuées ($K > 0$). Parmi les choix suivants, indiquez celui qui s'applique pour les questions a) et b) qui suivent :

K	$20K+8$
8	$21K+8$
$K+2$	$21K+8$
$6K+2$	$25K+10$
$8K$	6

Choix ou solutions potentiels

Exercice 3

16

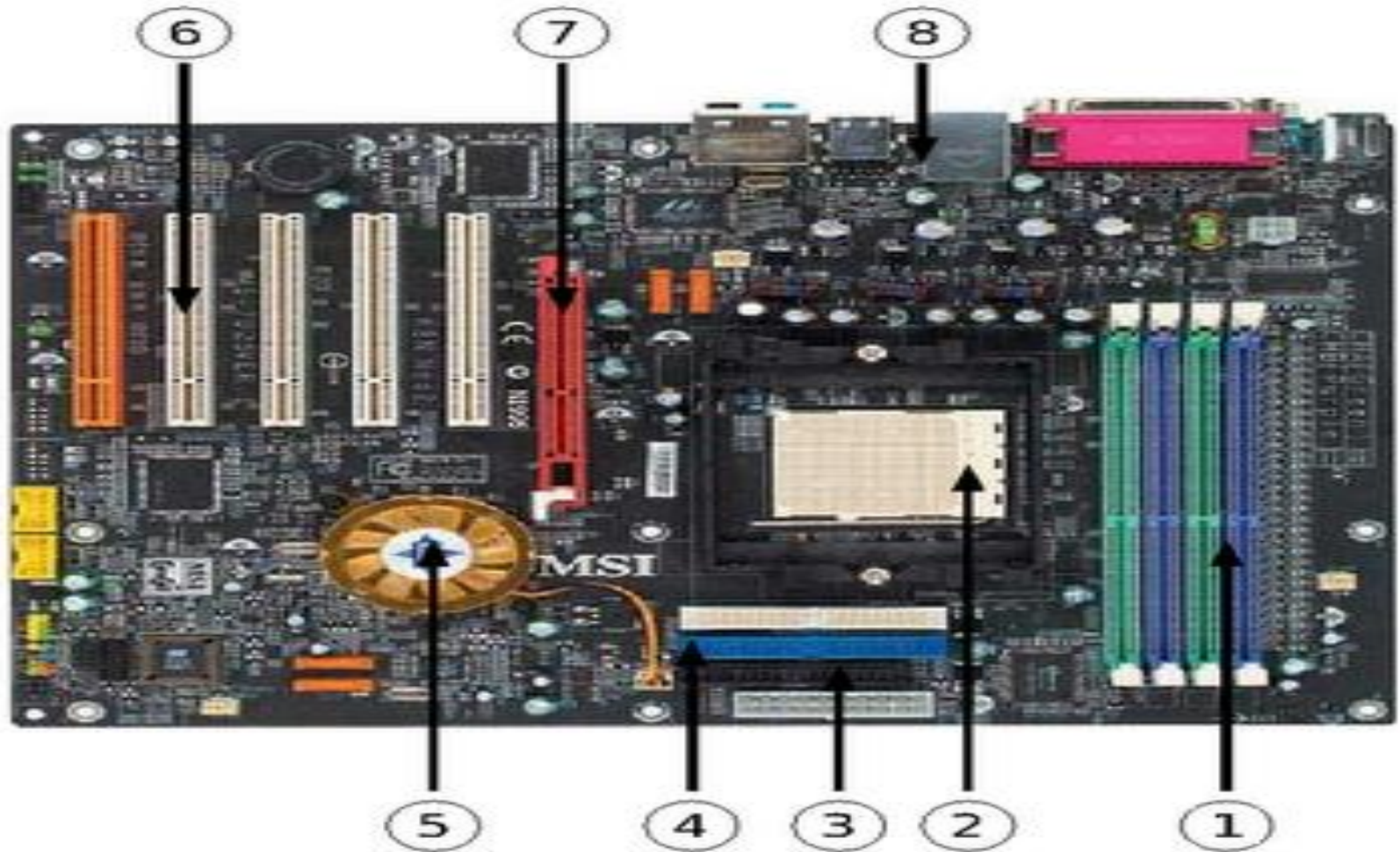
- a) Déterminer le nombre total d'instructions statiques
- b) Déterminer le nombre total d'instructions dynamiques
- c) Dans le cas de la mise en œuvre (1 cycle par instruction), combien de cycles seront requis pour l'exécution de la suite d'instructions ci-dessus ?

K	$20K+8$
8	$21K+8$
K+2	$21K+8$
$6K+2$	$25K+10$
8K	6

Choix ou solutions potentiels

Exercice 4

17



Réponse 4

18

- 1. Slots RAM (DIMM)**
- 2. Socket CPU (Socket 939 pour AMD64)**
- 3. Connecteur de lecteur de disquette**
- 4. Connecteurs IDE**
- 5. Chipset (NVIDIA nForce3 - Chipset non décomposé en NorthBridge et SouthBridge)**
- 6. Slots PCI**
- 7. Slot AGP**
- 8. Connecteurs d'extensions
Son/LAN/USB/Parallèle/Série/Souris/Clavier)**